

Labor Sensorelektronik

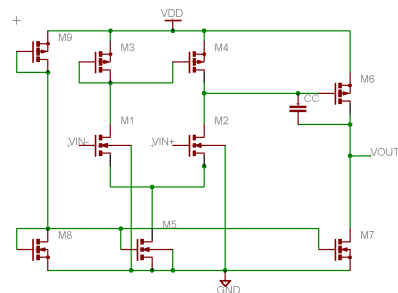
Projekt 1: Entwurf eines 2 Stufen Operationsverstärkers Miller Topologie

Kai Lutz 2007

1

Spezifikationen:

Open Loop Gain	> 70 dB
Gain Bandwidth	10 MHz
Phasenreserve	> 60°
Settling Time	< 1 μ s
Slew Rate	30 V/ μ s
Offset	10 μ V
Input CMR	+/- 1V
Output Swing	+/- 0.35 V
CMRR	> 80 dB
Power Dissipation	<< 1mW
Fläche	minimum
Versorgungsspannung	0 - 3.3V
Load Capacitance	5 pF
Load Resistance	100 k Ω
Transistor Weite	1 μ m



Bezeichnung der Transistoren

- Der Operationsverstärker soll hinsichtlich minimaler Verlustleistung optimiert werden!
- Biasing unter Verwendung von MOS-Dioden (Diode Biased)

Kai Lutz 2007

2

Gliederung:

1. Berechnung der Transistorweiten mit Matlab
2. Simulation
3. Korrigieren der Dimensionierungen hinsichtlich der Vorgaben
 - a. Einhalten der Slew Rate
 - b. Verstärkung (Open Loop Gain) und Phasenreserve
 - c. Minimierung der Verlustleistung
 - d. CMRR
 - e. Offset
4. Ersetzen durch Scalable Transistors
5. Layout
6. Post Layout Simulation und Optimierung
7. Fazit und Bewertung

Kai Lutz 2007

3

1. Berechnung der Transistorweiten mit Matlab:

```

%% 2. Compensation Capacitance
CC = 0.22*CL
%% 3. Tail current
I5 = SR*CC
%% 4. S3 from VinMax and Threshold Voltages
S3 = I5/(KPRIMEpmos*(VDD - VinMAX - abs(VTpmosMAX) + VTnmosMIN)^2)
%% 5. p3 greater than 10 times GB ?
gm3 = sqrt(2*KPRIMEpmos*S3*I3)
P3 = sqrt(2*KPRIMEpmos*S3*I3)/(2*0.667*W3*L*COX)
%% 7. S5 from minimum Input Voltage
VDS5 = VinMIN - VSS - sqrt(I5/(KPRIMEpmos*S1)) - VTnmosMAX
S5 = (2*I5)/(KPRIMEpmos*(VDS5)^2)
%% 8. S6 and I6 by letting Pole P2 be equal to 2.2 time GB
gm6 = 10*gm1 [alternative gm6 = 2.2*gm2*(CL/CC)]
gm4 = sqrt(2*KPRIMEpmos*S4*I4)
S6 = S4*(gm6/gm4)
I6 = (gm6^2)/(2*KPRIMEpmos*S6)
%% 10. S7 over Current Mirror
S7 = (I6/I5)*S5
%% 11. Check Gain and Power Dissipation
AVtest = (2*gm2*gm6)/(I5*I6*(LAMBDAAnmos+LAMBDApmos)^2)
AVtestDB = 20*log10(AVtest)
PDISS = (I5 + I6)*(VDD+abs(VSS))

```

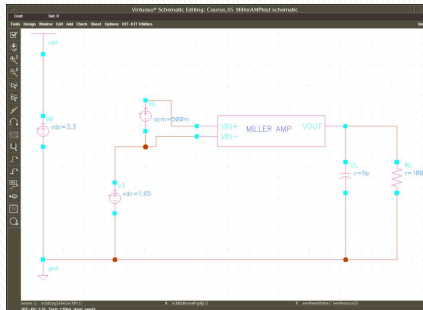
Vorläufige Dimensionierung:

$C_c = 1.1 \text{ pF}$
 $I_5 = 3.3000\text{e-}005 \approx 33 \text{ }\mu\text{A}$
 $S_1 = S_2 = 0.8515 \approx 1$
 $S_3 = S_4 = 6.3218 \approx 6$
 $S_5 = 2.1247 \approx 2$
 $S_6 = 39.7213 \approx 40$
 $S_7 = 6.6749 \approx 7$

Kai Lutz 2007

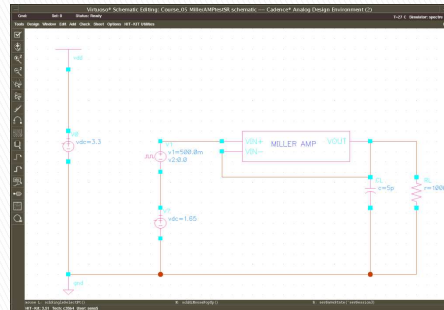
4

2. Simulation:



Gain Phase:

- AC Analyse bis 10GHz
- Keine Rückkopplung (Open Loop)
- Bode Plot nach Betrag und Phase



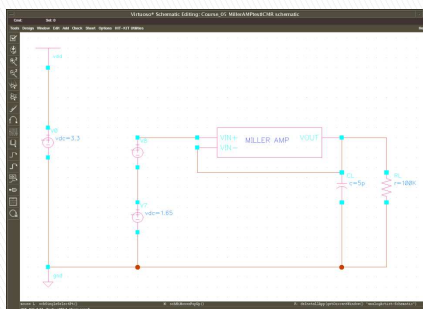
Slew Rate:

- Transient Analyse
- Antwort auf Anregung mit Rechteckimpuls(Folge)
- Slew Rate ist Steigung an positiver Flanke
- Rückkopplung, Unity Gain Config.

Kai Lutz 2007

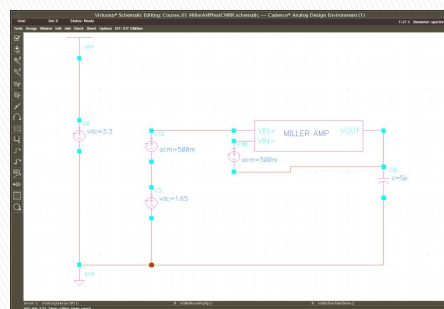
5

2. Simulation:



ICMR/Offset:

- DC Analyse
- Rückkopplung
- Lin. Bereich am Ausgang ist ICMR
- Offset: Vout bei Eingang 1.65V



CMRR:

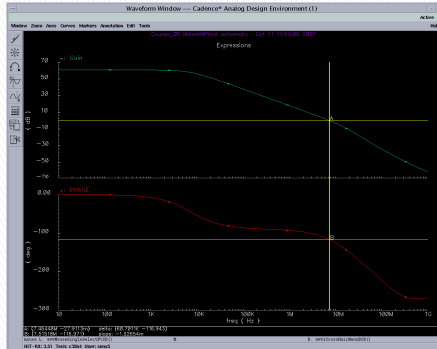
- An jedem Eingang des Differenzverstärkers AC Quelle
- AC Analyse
- $CMRR = V_{out}/V_{cm}$ (common Mode)

Kai Lutz 2007

6

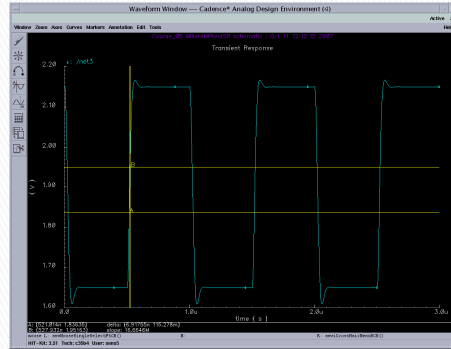
Bewertung der Simulationsergebnisse:

- Einige Vorgaben werden nicht erfüllt z.B. Slew Rate, Open-Loop Gain, Offset, CMRR.
- Verlustleistung $\approx 0.5 \text{ mW}$.
- ICMR und Phase Margin hingegen liegen im gewünschten Bereich.



Gain $\approx 60 \text{ dB}$

Phasenreserve $\approx 64^\circ$ GB $\approx 7.5 \text{ MHz}$



Slew Rate $\approx 15 \text{ V}/\mu\text{s}$

Kai Lutz 2007

7

3. Korrigieren der Dimensionierung hinsichtlich der Vorgaben:

- Mehrere Vorgaben werden nach „Hand“-Berechnung nicht erreicht
- Frage: Hinsichtlich welchen Vorgabewerten soll mit der Korrektur begonnen werden?

3a) Einhalten der Slew Rate:

Entscheidung: Starten mit Einhaltung der Slew Rate.

- Slew Rate ist abhängig vom Strom durch M5 und der Miller Kapazität.
- Gewisse Abhängigkeit von Größe des differential Pairs.
- Andere W/L Verhältnisse können später verändert werden ohne signifikanten Einfluss auf die SR.
- Negative SR liegt immer einige Volt/μs ($\approx 3 \text{ V}$) unter der positiven SR. Betrachtung wird hier auf Einhaltung einer positiven SR von $30 \text{ V}/\mu\text{s}$ beschränkt.

$$SR = \frac{I_5}{C_c}$$

Zur Einhaltung der SR veränderte Werte:

$C_c = 1.0 \text{ pF}$
 $I_5 \approx 44 \text{ } \mu\text{A}$
 $S1 = 3$
 $S3 = 6$
 $S5 = 5$
 $S6 = 40$
 $S7 = 7$

$SR > 30 \text{ V}/\mu\text{s}$

1. Die Erhöhung des Stromes I_5 führt zu einer **geringeren Verstärkung** und höherer Verlustleistung.
2. Die Veränderung des Diff.-Pairs hat Auswirkung auf Verstärkung und Phasenlage (u.a. höheres GB).
3. Eine geringere C_c **vergrößert den Wert von GB**.

$$GB = \frac{g_{m1}}{C_c}$$

Kai Lutz 2007

8

3. Korrigieren der Dimensionierung hinsichtlich der Vorgaben:

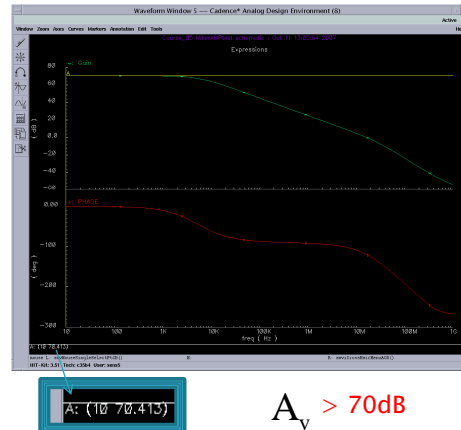
3b) Verstärkung (Open Loop Gain A_v) und Phasenreserve (Phase Margin PM):

Zur Erfüllung der SR Vorgabe von $30V/\mu s$ mussten starke Design Veränderungen zum Nachteil von Verstärkung, GB und PM gemacht werden (z.B. $A_v \approx 30dB$). Es muss Versucht werden mit Hilfe der Transistoren der **Ausgangsstufe (Inverter)** M6 und M7 die geforderten 70dB zu erreichen, unter Einhaltung der Vorgaben für GB und PM.

- S1 und S5 werden nicht mehr verändert um SR nicht zu beeinflussen.
- In mehreren Schritten wird S6 erhöht um A_v zu erhöhen.
- Die Änderungen von S7 und S3 werden nötig um $PM > 60^\circ$ einzuhalten.

SR, Gain und PM sind eingehalten:
 $C_c = 1.0 \text{ pF}$
 $I_5 \approx 44 \mu A$
 $S1 = 3$ $S3 = 3$
 $S5 = 5$ $S6 = 57$
 $S7 = 46$

$$A_v = \frac{2g_{m1}g_{m6}}{I_5 I_6 (\lambda_1 + \lambda_2)(\alpha_v + \lambda_7)}$$



$$A_v > 70dB$$

Kai Lutz 2007

9

3. Korrigieren der Dimensionierung hinsichtlich der Vorgaben:

Die Minimierung der Verlustleistung, sowie die Erreichung der Vorgaben hinsichtlich CMRR und Offset werden praktisch parallel und iterativ durchgeführt. Dabei werden ständig Simulationen zur Überprüfung aller relevanten Spezifikationen gemacht (SR, PM, ICMR, Output Range und Open Loop Gain). Im folgenden sollen die Dabei Auftretenden Schwierigkeiten herausgestellt werden und nicht die Darlegung jedes einzelnen Designschrittes.

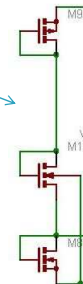
3c) Minimierung Der Verlustleistung:

$$P_{diss} = I_5 I_6 V_{DD}$$

- Für die Verlustleistung sind die Ströme I_5 und I_7 durch die Transistoren M5 und M7 ausschlaggebend.
- Durch geeignete Werte des **Biasing Netzwerkes** und der Verhältnisse der Basisverbundenen Transistoren (Stromspiegel) M8, M5 und M7 werden die Ströme langsam verringert.
- Die Bias Schaltung wird um Platz zu sparen auf drei Diode-Connected Transistors erweitert.
- C_c verringert auf 0.9pF (kleinerer Ladestrom=> höhere SR)

Probleme:

- SR darf nicht verringert werden
- Geringere Ströme => geringere Verstärkung
- Auswirkung auf Andere Parameter (CMRR, Offset...)?



Kai Lutz 2007

10

3. Korrigieren der Dimensionierung hinsichtlich der Vorgaben:

3d) Common Mode Rejection Ratio (CMRR):

- Letzte Messung (nach Schritt 3b): CMRR \approx 75dB Vorgabe: CMRR > 80dB
- CMRR ist abhängig vom Verhältnis der Lasttransistoren (M3, M4) zur Stromsenke M5 sowie des Diff-Pair. Geringere Abhängigkeit auch von M7 und M6.

$$\text{CMRR} = \frac{g_{m1}/2g_{m3}}{g_{ds5}/2g_{m3}} = g_{m1}r_{ds5}$$

Vereinfachte Formel, g_{m3} kann nicht immer vernachlässigt werden.

Probleme:

- Änderung des Diff-Pair => Veränderung von PM, SR, A_v
- S5 und S7 sollten groß sein um Ströme zu verringern
- Auswirkung auf Andere Parameter (Offset...)?

- Das Diff-Pair sollte nicht weiter geändert (zum jetzigen Zeitpunkt kaum noch zu kompensieren).

– CMRR Erhöhung durch Erhöhung von S3 und S4!

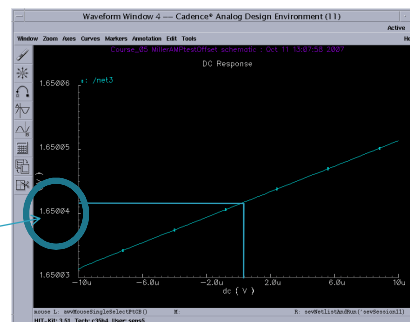
Kai Lutz 2007

11

3. Korrigieren der Dimensionierung hinsichtlich der Vorgaben:

3e) Offset (Input Offset Voltage):

- Verstärkung wenn keine Spannung an Differenzeingängen vorliegt.
- Simulation:
Erhöhen der Spannung auf 3.3V. Bei 0V am Eingang (hier: 1.65V Mittenspannung) sollte auch keine Spannung am Ausgang Vorliegen (hier: 1.65V)
- Simulationsergebnis nach Schritt 3b:
 $V_{os} = 40\mu\text{V}$
gefordert < 10 μV



- Änderungen am Laststromspiegel und S7 verändern Offset stark. Mit S6 kann Offset genau eingestellt werden.
- Offset des Differenzverstärkers wird von Inverterstufe noch mit verstärkt!

Probleme:

- Hohe Verstärkung der Inverterstufe führt zu kaum kontrollierbarem Offset.
- Vorgaben bezüglich CMRR, PM... schränken „Handlungsspielraum“ erheblich ein!

Kai Lutz 2007

12

3. Korrigieren der Dimensionierung hinsichtlich der Vorgaben:

Unter Einhaltung aller Spezifikationen entstandenes Design:

$$P_{\text{diss}} = (I_5 + I_7) \cdot 3.3\text{V} \approx 0.5\text{mW} < 1\text{mW}$$

Die Verlustleistung war unter Einhaltung von PM und Offset nicht mehr signifikant zu reduzieren.

$$A_v > 70\text{dB}$$

$$\text{CMRR} \approx 85\text{ dB} > 80\text{dB}$$

$$\text{SR} \approx 30\text{V}/\mu\text{s}$$

$$\text{PM} \approx 60^\circ$$

$$\text{GB} \approx 11.5\text{MHz} > 10\text{MHz}$$

$$\text{Offset} < 10\mu\text{V}$$

Endgültiges Design:

$$C_c = 0.9\mu\text{F}$$

$$I_5 \approx 27\mu\text{A} \quad I_7 \approx 125\mu\text{A}$$

$$S_1 = 2$$

$$S_3 = 13$$

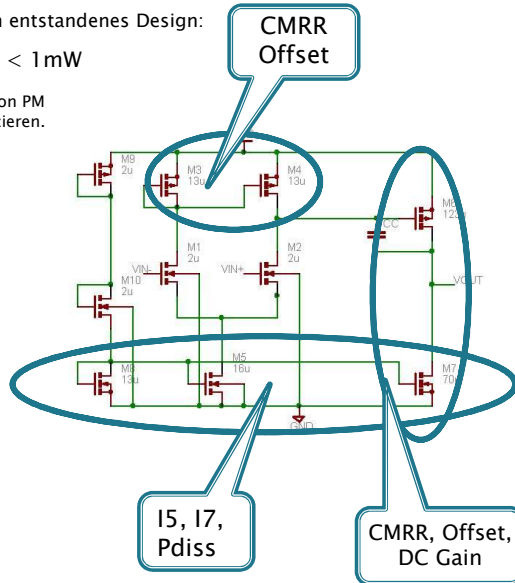
$$S_5 = 16$$

$$S_6 = 123$$

$$S_7 = 70$$

$$S_8 = 13$$

$$S_9 = S_{10} = 2$$



Kai Lutz 2007

13

3. Korrigieren der Dimensionierung hinsichtlich der Vorgaben:

– Auf einige Charakteristiken der Schaltung wie **ICMR**, **Settling Time** und **Output Swing** wurde bis jetzt nicht näher eingegangen. Die Einhaltung dieser Werte bereitete während des Designs weniger Probleme, insbesondere ST und OS. Bei anderen Voraussetzungen und Topologie der Schaltung kann natürlich das Augenmerk mehr auf diesen Größen liegen und weniger auf Slew Rate oder Verlustleistung.

– Die Vorgabe an die **Verlustleistung** lautete $<< 1\text{mW}$ („wesentlich“ kleiner als 1mW) also im Bereich etwa einer Zehnerpotenz. Erreicht wurde mit ca. 0.5mW jedoch nur die Hälfte. Alle Versuche diesen Wert noch weiter zu verringern scheiterten an den somit nicht einhaltbaren Vorgaben für Slew Rate, Verstärkung, Phasenreserve oder Offset.

– Auch ein Versuch mit Hilfe der Nulling Resistor (RHP-Zero Compensation) Methode ergab keine signifikante Verringerung der Verlustleistung. (Vorgehensweise wurde aus Zeitgründen nicht Vorge stellt)

– Lösung:

Arbeiten im Subthreshold Bereich \Rightarrow geringere Versorgungsspannung und Ströme (Nicht im Rahmen dieses Projektes durchführbar)

Kai Lutz 2007

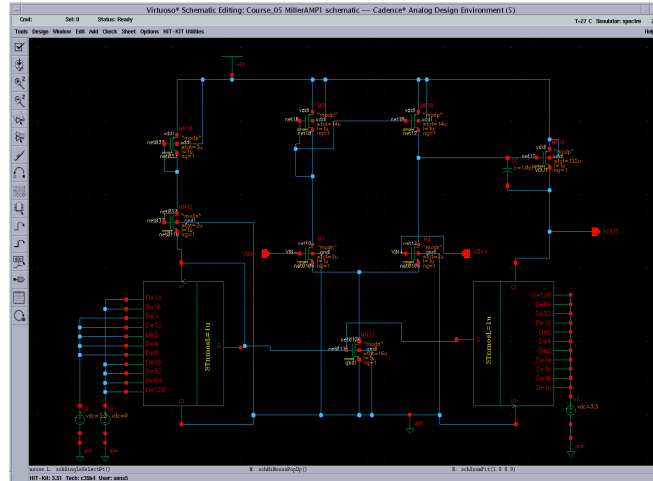
14

4. Ersetzen durch Scalable Transistors:

- Die Transistoren M8 und M7 werden durch konfigurierbare Transistoren ersetzt.
- Diese zeigen anderes Verhalten als die standard Transistoren.

– Folgende Werte werden nicht mehr eingehalten:

- Offset
- DC Gain
- Slew Rate
- Phase Margin



Kai Lutz 2007

15

4. Ersetzen durch Scalable Transistors:

- C_c leicht erhöhen um $PM < 60^\circ$ zu garantieren. Pole $|p_2| > 2.2GB$
 $\Rightarrow I_5$ muss leicht erhöht werden um SR zu halten.
- Der scalable Transistor M7 muss mit höchster Ansteuerung betrieben werden ($w = 255\mu m$) um die vergleichbare Eigenschaften des standard Transistors zu erreichen.
- S3 und S6 werden leicht verändert um alle Spezifikationen zu erfüllen.
- Verlustleistung bleibt bei $\approx 0.5mW$.



Scalable Cells:
 $C_c = 1.0pF$
 $I_5 \approx 30\mu A$ $I_7 \approx 122.7\mu A$
 $S1 = 2$
 $S3 = 14$
 $S5 = 16$
 $S6 = 122$
 $S7 = 255$ "scalable" statt 70 !!!
 $S8 = 16$ "scalable" statt 13
 $S9 = 2$

Scalable Transistors:

- Geringere Ausgangswiderstände?
 (geringer Verstärkung?)
- Zusätzliche Kapazitäten

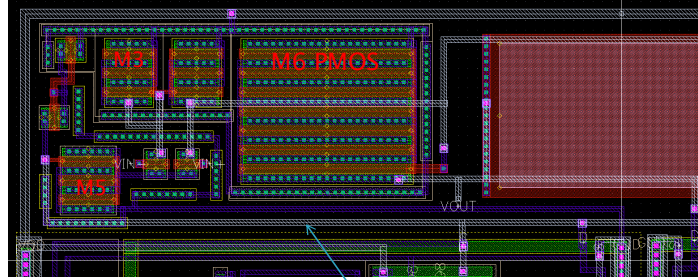
\Rightarrow Größere Werte für W

\Rightarrow Umsetzung des Designs als Layout

Kai Lutz 2007

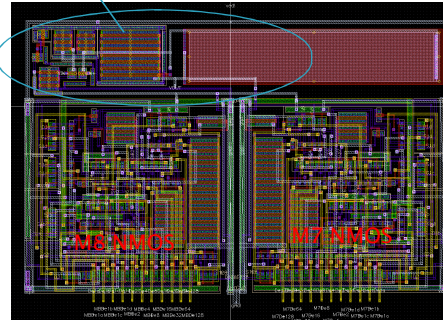
16

5. Layout:



- Minimale Fläche => Folded Transistors
- Räumliche Nähe, gleiche Ausrichtung
- DRC (Design Rule Check)
- Extraktion
- LVS (Layout vs. Schematic) Check
- Post Layout Simulation
- ⇒ Einbinden des Analog Extracted View In Simulationsschaltungen

Auswirkung von Parasiten auf Eigenschaften des Op-Amps?

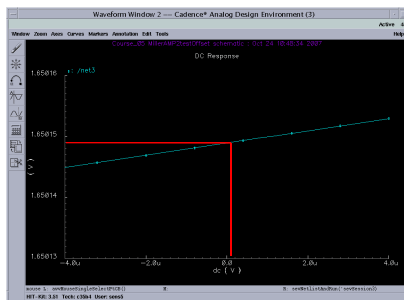


Kai Lutz 2007

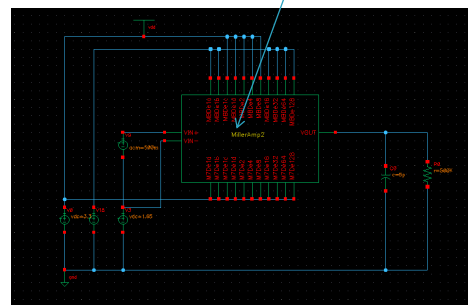
17

6. Post Layout Simulation und Optimierung:

- Frequenzverhalten wird durch Parasiten wie erwartet verschlechtert!
- Gain Bandwidth sinkt unter 10MHz Grenze (bisher immer unproblematisch).
 - Phase Margin sinkt unter 60°.
 - $A_v < 70\text{dB}$
 - Offset steigt auf fast 150µV!!!



Analog Extracted View



Kai Lutz 2007

18

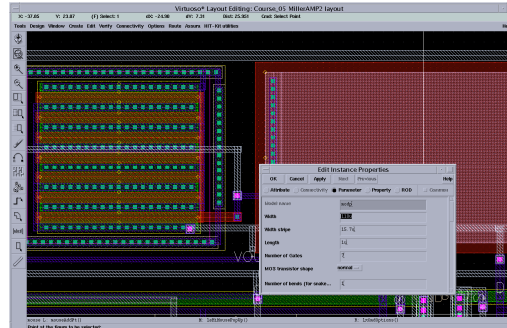
6. Post Layout Simulation und Optimierung:

Aufgrund der parasitären Effekte führt eine Erhöhung von C_c auf 1,15pF und eine Verringerung von S6 auf 110 zu einer **Erhöhung** von GB und A_v . Nach den Formeln wäre eigentlich gegenteiliges zu erwarten.

$$GB = \frac{g_{m1}}{C_c}$$

Aber: zusätzliche Pole werden mit zunehmendem C_c weniger dominant.

$$A_v = \frac{2g_{m1}g_{m6}}{I_5 I_6 (\lambda_2 + \lambda_3)(\lambda_6 + \lambda_7)}$$



– Zur **Kompensation des hohen Offsets** werden noch weitere Änderungen von S3, S6 und dem scalable Transistor M7 vorgenommen.

- Alle Werte werden in Layout und Schematic geändert (LVS check)
- Simulation mit analog extracted (all parasitics)

Kai Lutz 2007

19

7. Fazit und Bewertung:

Endgültiges Design:

Final Design:
 $C_c = 1.15 \text{ pF}$
 $I_5 \approx 30 \mu\text{A}$ $I_7 \approx 120 \mu\text{A}$
 $S_1 = 2$
 $S_3 = 15$
 $S_5 = 16$
 $S_6 = 107$
 $S_7 = 253$ "scalable"
 $S_8 = 15$ "scalable"
 $S_9 = 2$

Vergleich mit erster Berechnung:

Vorläufige Dimensionierung:
 $C_c = 1.1 \text{ pF}$
 $I_5 = 3.3000e-005 \approx 33 \mu\text{A}$
 $S_1 = S_2 = 0.8515 \approx 1$
 $S_3 = S_4 = 6.3218 \approx 6$
 $S_5 = 2.1247 \approx 2$
 $S_6 = 39.7213 \approx 40$
 $S_7 = 6.6749 \approx 7$

- Größtes Problem: Hohe Slew Rate mit möglichst geringem Strom.
- Größte Veränderung wurde an der Inverterstufe Vorgenommen.
- Welche Ergebnisse erwarte ich von den Simulationen?
- ⇒ Sind Simulationen (Sim.Schaltungen) überhaupt geeignet und richtig?
- Jede Veränderung hat (evtl. ungewollte) Rückwirkung auf Schaltung. Iteratives Vorgehen.
- Mischung aus konstruktiven Ansätzen nach Formeln und „spielen“ mit den Designparametern wie der Transistorweite.
- Einfügen von konfigurierbaren Transistoren führt größere Kapazitäten mit sich (Schlechteres Frequenzverhalten).
- Schaltung (vor allem mit Parasiten) verhält sich nicht immer wie erwartet.
- Verbesserungsmögl. beim Schaltungslayout. Umgang mit Virtuoso anfangs sehr ungewohnt und zeitaufwändig.
- Nicht alle gemachten Schritte erscheinen im Nachhinein sinnvoll. Viele Designversuche und damit viele Stunden Arbeit sind gar nicht erwähnt, da sie zu keinen Verbesserungen führten. Analog Design bedarf eines hohen Maßes an Erfahrung!

Kai Lutz 2007

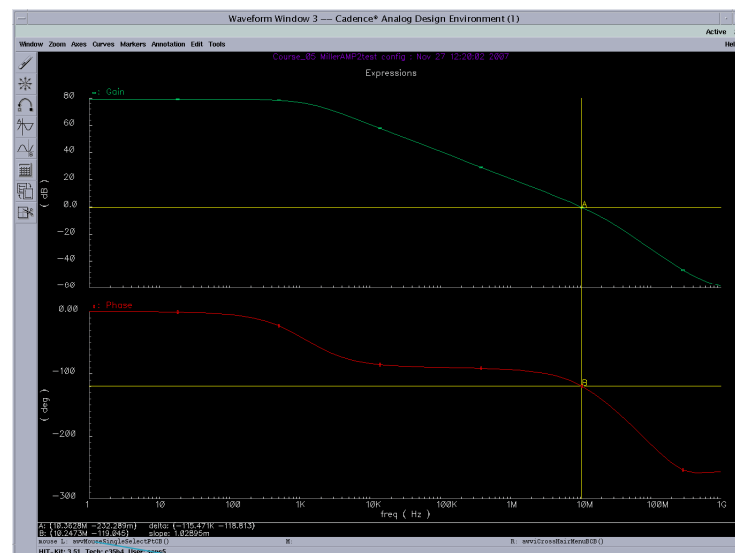
20

Quellen:

- Allen Holberg - CMOS Analog Circuit Design
- Jaeger - Microelectronic Circuit Design
- Unterlagen zur Vorlesung Sensorelektronik
- Datenblätter und Anleitungen zum Labor

Kai Lutz 2007

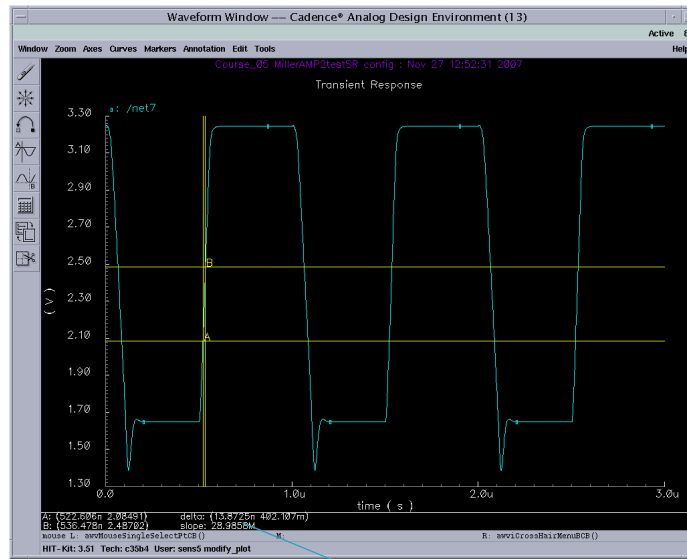
21

Endgültige Simulationsergebnisse – Gain/Phase:Gain $\approx 79\text{dB}$ GB $\approx 10,3\text{Mhz}$ PM $> 60^\circ$

Kai Lutz 2007

22

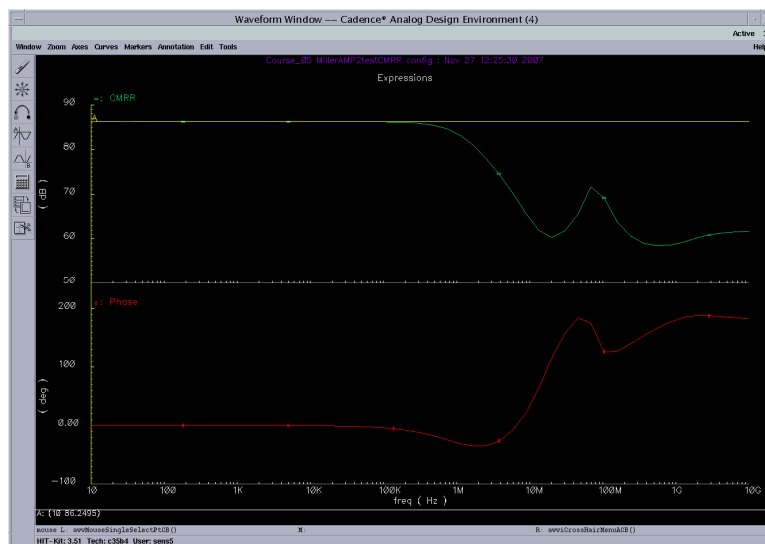
Endgültige Simulationsergebnisse – Slew Rate:



Kai Lutz 2007

23

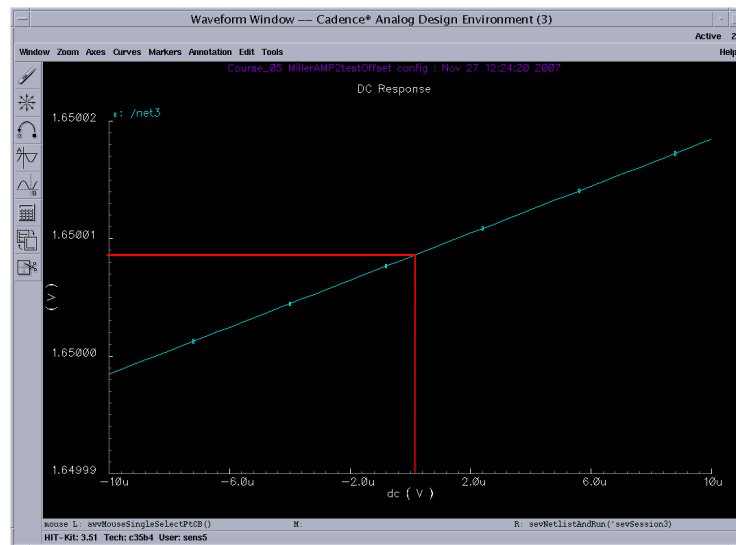
Endgültige Simulationsergebnisse – CMRR:



Kai Lutz 2007

24

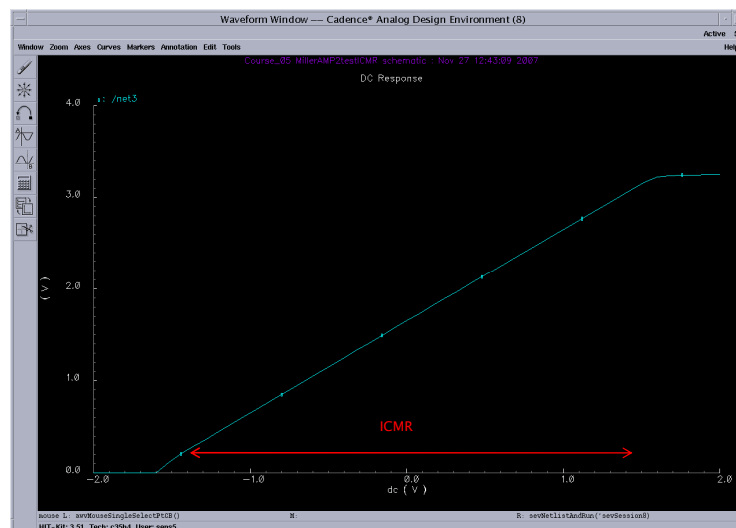
Endgültige Simulationsergebnisse – Offset:



Kai Lutz 2007

25

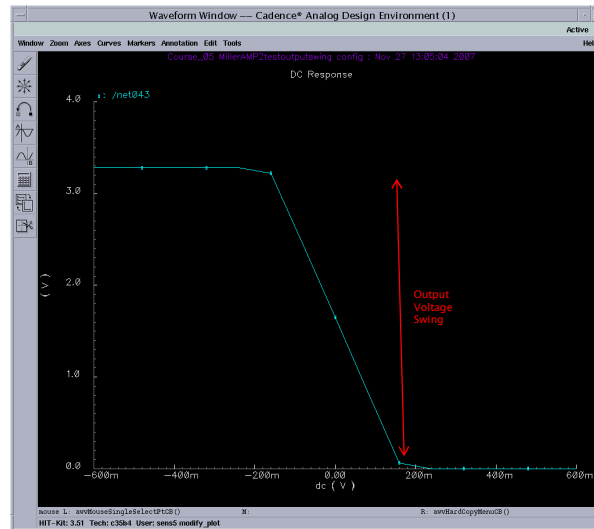
Endgültige Simulationsergebnisse – ICMR:



Kai Lutz 2007

26

Endgültige Simulationsergebnisse – Output Swing:



Kai Lutz 2007

27