

26.03.2009

Labor Mikroelektronik-Vertiefung (VL-Nr: 85-656)

Dieses Labor wird von der AG König und der AG Wehn betreut.

Anmeldungen zu diesem Labor sind ab sofort bis zum 24.04.2009 (Anmeldeschluss um 12:00 Uhr) möglich. Die Anmeldung erfolgt vormittags im Sekretariat der AG Wehn (Gebäude 12 / Raum 230) über vorbereitete Listen. Jeweils 2 Teilnehmer bilden eine Gruppe.

Die Termine für das Labor sind nach Absprache am Dienstag bzw. Donnerstag von 14:00 bis 18:00 Uhr. In der zweiten Vorlesungswoche findet am Dienstag, den 28.04 um 14:00 eine Vorbesprechung in Gebäude 12 / Raum 270 statt.

Das Labor besteht aus folgenden Versuchen:

Versuch 1: Digital Layout Extraction and Circuit Simulation

Betreuer: Dr. Lakshmanan; Raum 12/449; Tel. 4955; email: lakshmanan@eit.uni-kl.de

Versuch 2: Programming and Characterization of Reconfigurable Operational Amplifiers

Betreuer: Dr. Lakshmanan; Raum 12/449; Tel. 4955; email: lakshmanan@eit.uni-kl.de

Versuch 3: Reconfigurable Wireless Sensor Systems and Networks

Betreuer: Dr. Lakshmanan; Raum 12/449; Tel. 4955; email: lakshmanan@eit.uni-kl.de

Versuch 4-8: Modellierung und Erweiterung der DLX RISC-Architektur in VHDL

Betreuer: Uwe Wasenmüller; Raum 12/213; Tel. 3123; email: wasenmueller@eit.uni-kl.de

Versuch 4: Modellierung der Pipelinestufe zur Befehlsdekodierung (ID) in VHDL

Versuch 5: Erweiterung der bestehenden DLX-RISC-Pipeline um einen Pipeline-Controller zur Hazard-Vermeidung

Versuch 6: Erweiterung der bestehenden DLX-RISC Architektur um ein Data-Cache-Modul

Versuch 7: Codierung eines Hard-Input Viterbi Decoder in DLX Assembler sowie Test und Validierung des Gesamtmodells aus Hardware und Software mit Simulator

Versuch 8: Implementierung von Optimierungen im DLX VHDL Modell für den Viterbi-Algorithmus und Erweiterung des Assembler Code Instruktionssets

Rückfragen bitte an:

Uwe Wasenmüller

email: wasenmueller@eit.uni-kl.de

Geb. 12/213; Tel. 3123