

Design einer logarithmischen Pixel-Matrix mit dynamisch rekonfigurierbarer Last

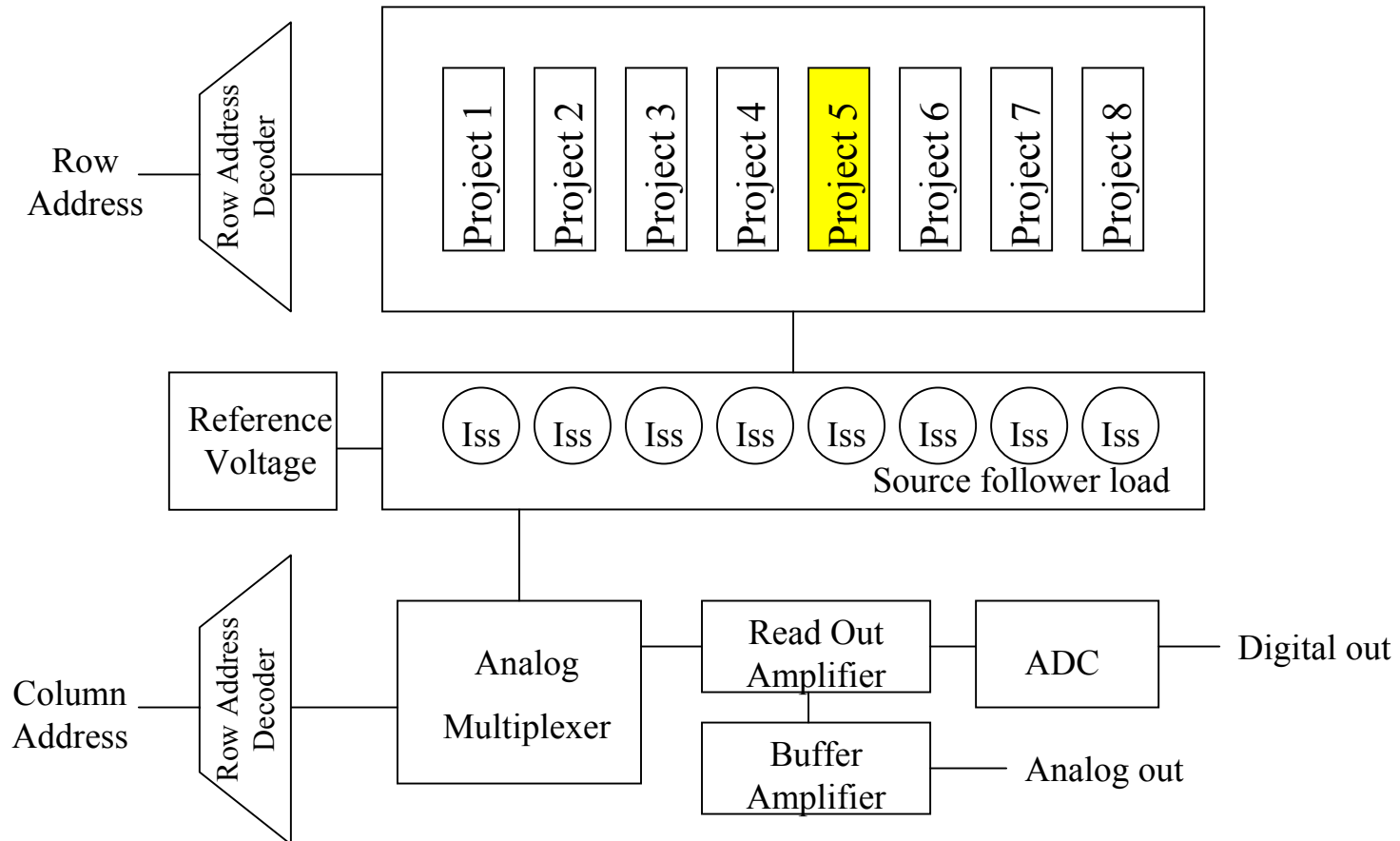
Projekt im Fach
„Herstellungsverfahren und Entwurf
integrierter Sensorsysteme“
WS 07/08



Ziel

- Entwurf und Layout einer logarithmischen Pixel-Zelle
- Transistor in Diodenschaltung als Last;
rekonfigurierbar zur Eliminierung großer
Schwankungen bei Betrieb in schwacher Inversion
- Entwurf, Layout und Simulation eines Pixel-Arrays
- Einbindung in Multi-Sensor Chip
- Layout der Source Follower Loads für globales Projekt

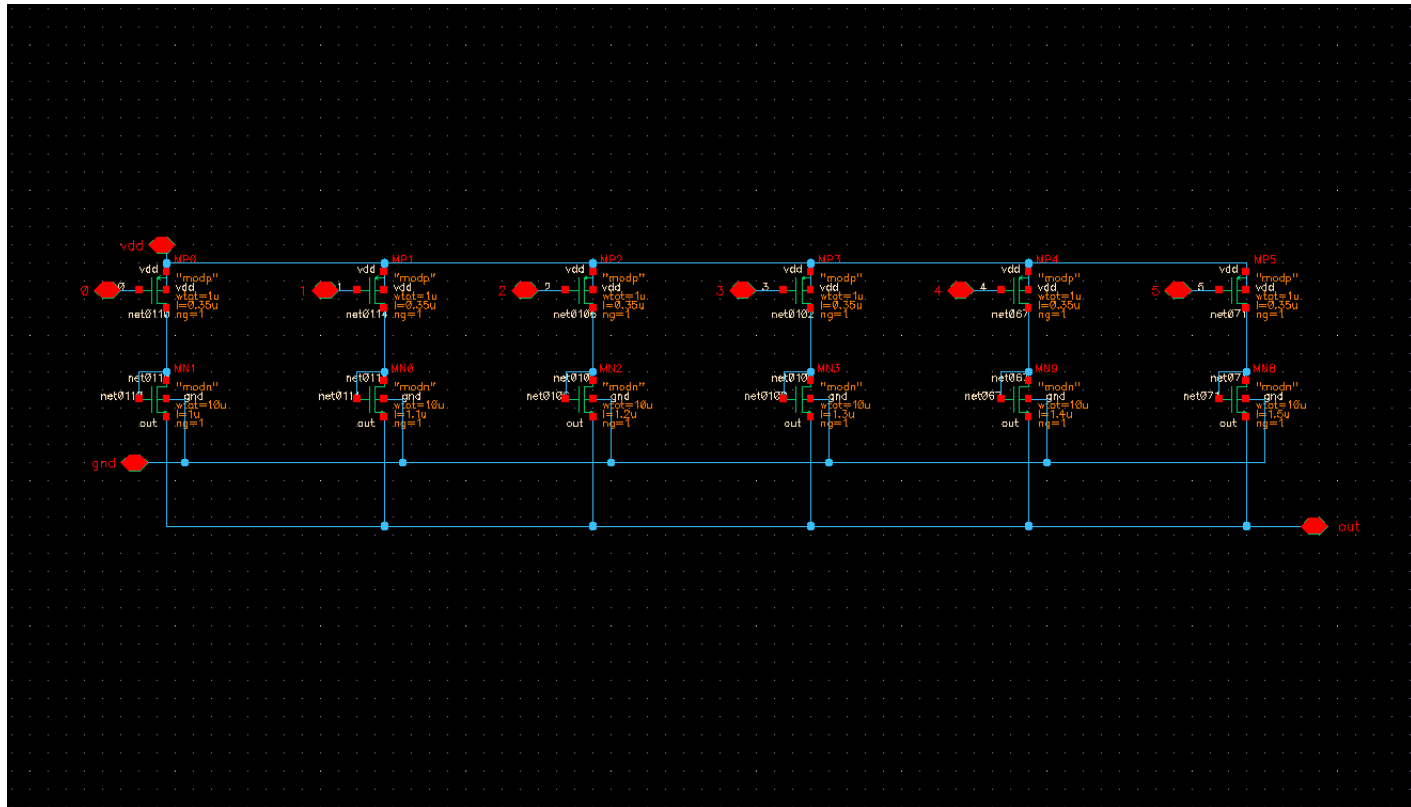
Globales Projekt



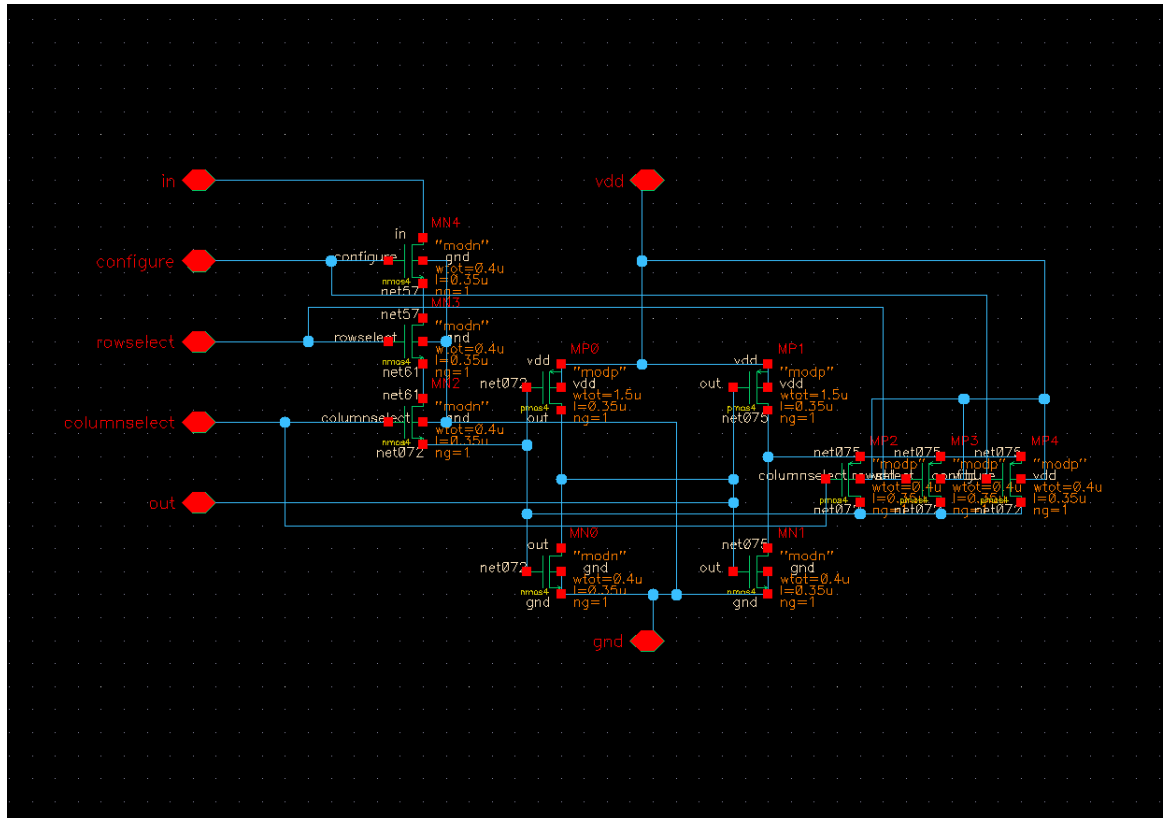
Spezifikation der Pixel-Zelle

- Fotodiode $15\ \mu\text{m} \times 15\ \mu\text{m}$
- Last aus 6 NMOS-Transistoren mit je $10\ \mu\text{m}$ Weite und $1\ \mu\text{m} - 1,5\ \mu\text{m}$ Länge;
Transistoren können einzeln oder parallel geschaltet werden
- Programmierung der Last mit SRAM-Zellen
- Source Follower NMOS $w/l = 15$ mit Last NMOS $w/l = 0,5$

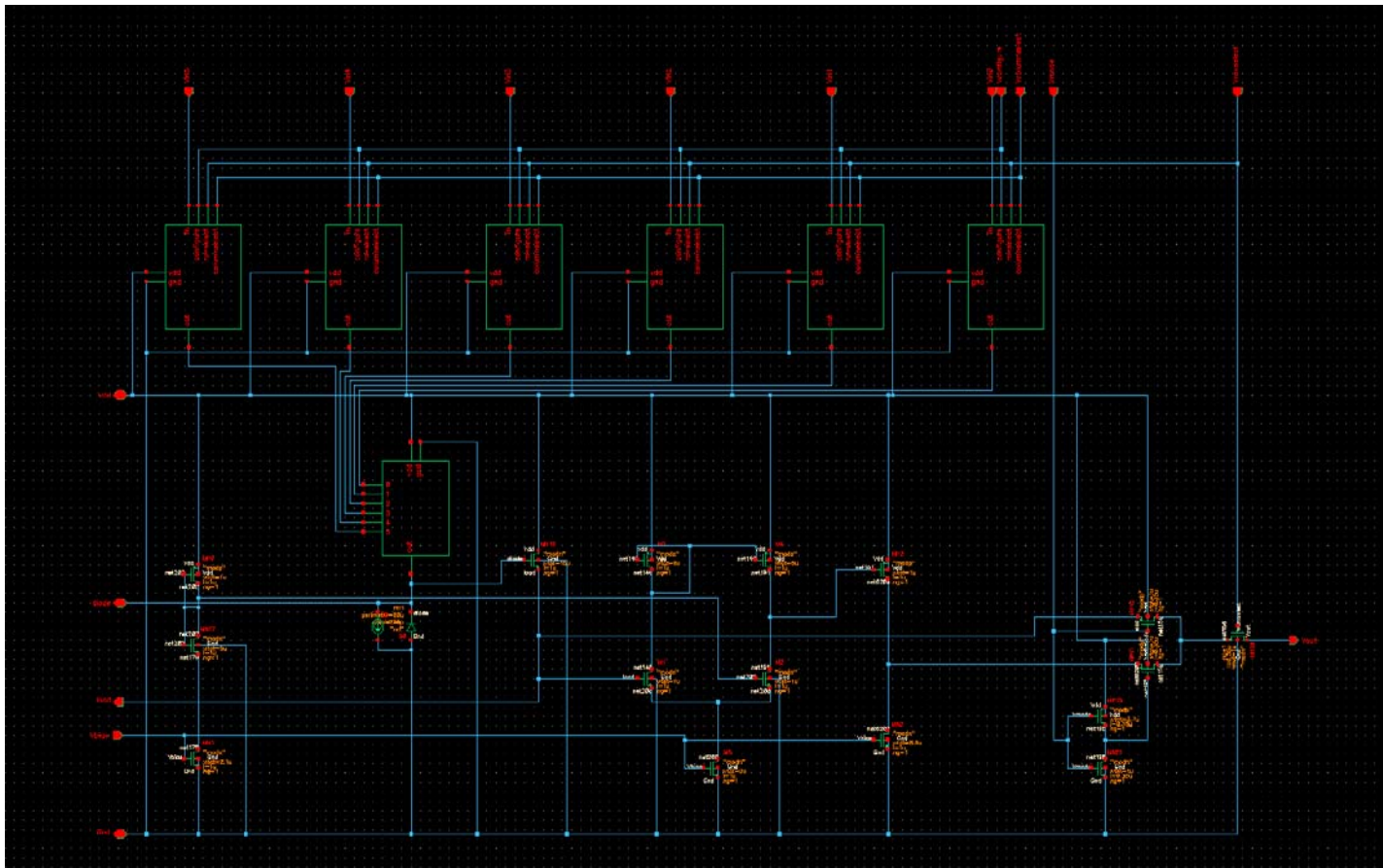
Die rekonfigurierbare Last



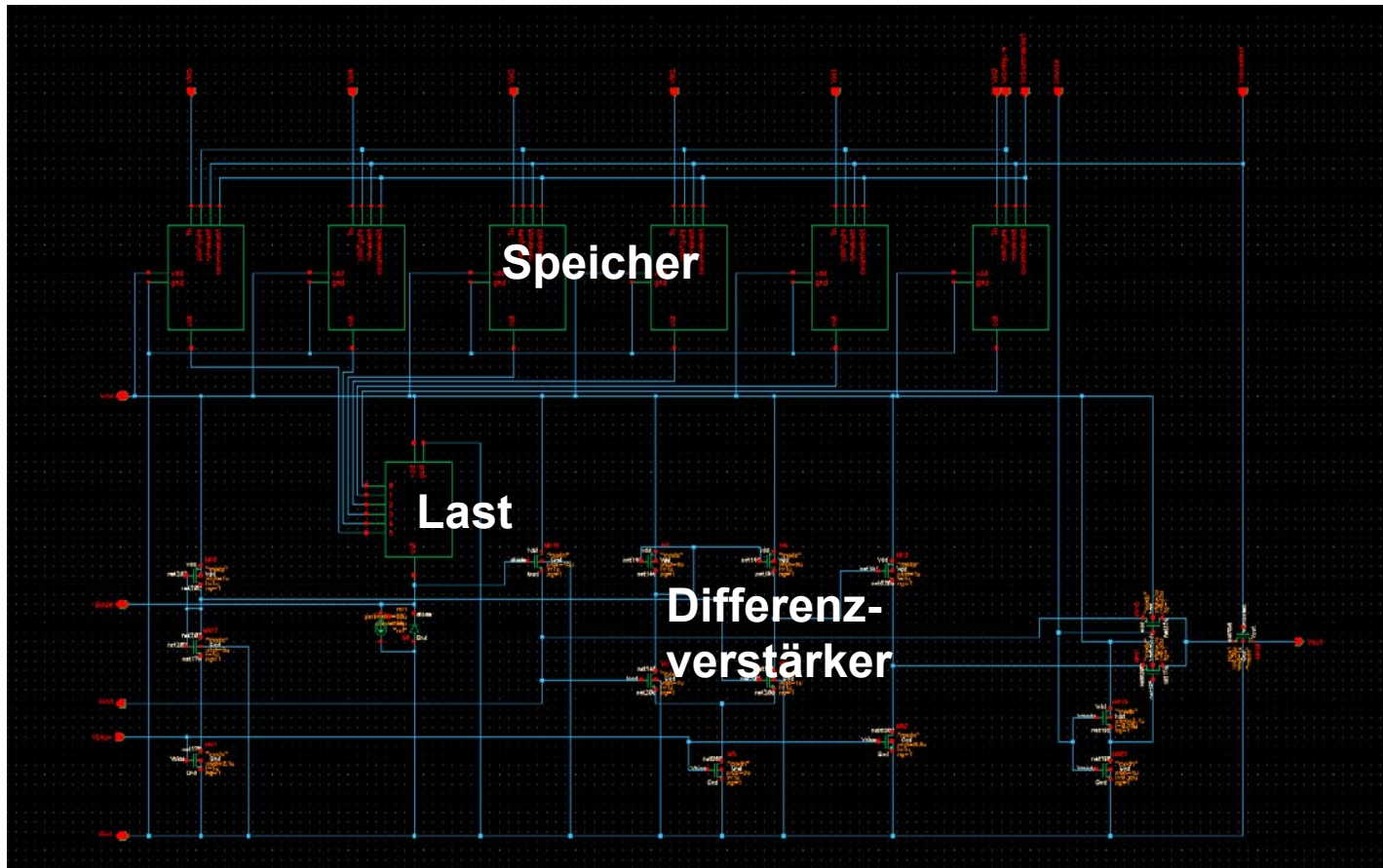
SRAM-Zelle



Schematic einer Pixel-Zelle

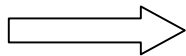


Schematic einer Pixel-Zelle



Funktion des Differenzverstärkers

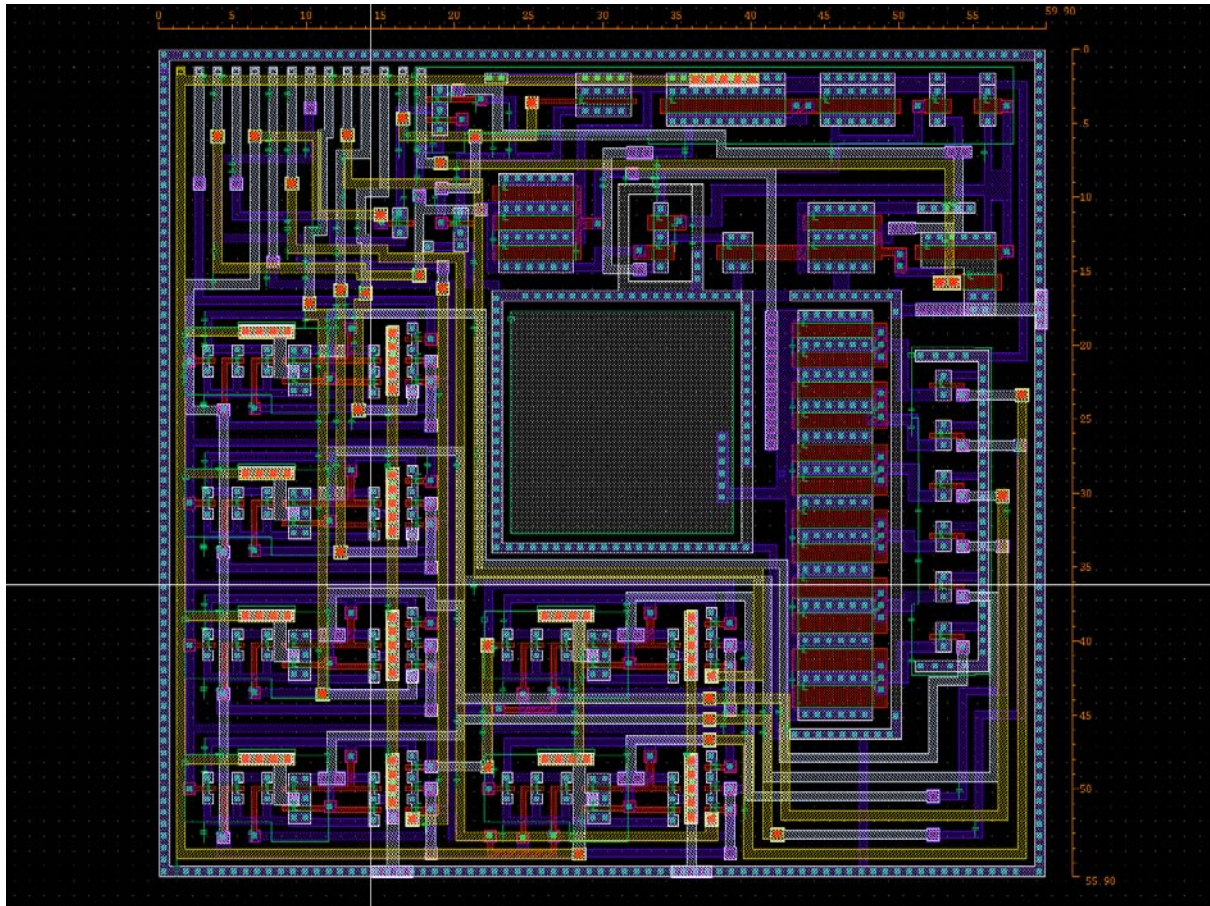
- Hoher dynamischer Bereich und geringer output voltage swing sind charakteristisch für logarithmische Pixel-Zelle



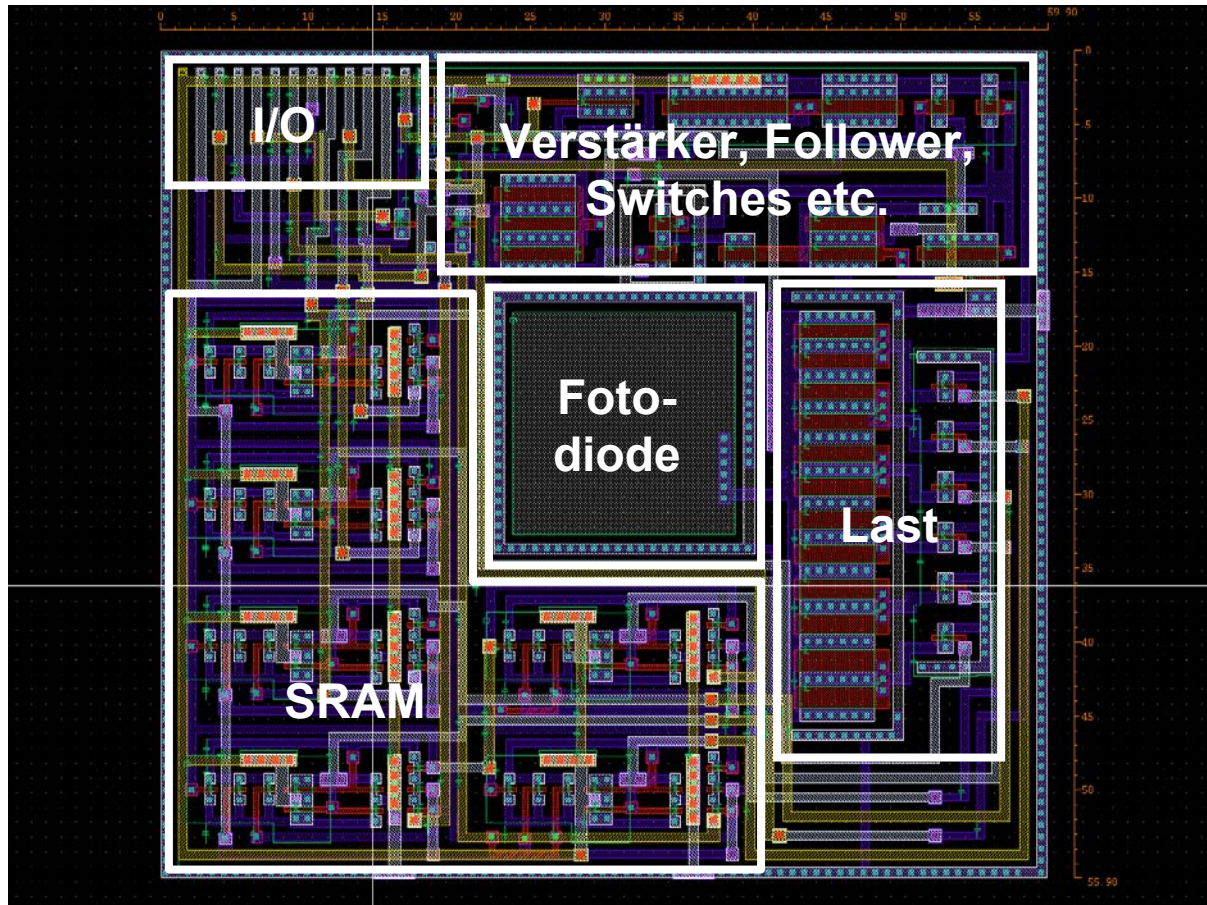
niedriger Kontrast

- Verstärkung der Differenz zwischen Ausgang und einer Referenzspannung
- Output voltage swing wird erhöht und Kontrast verbessert

Layout eines Pixels



Layout eines Pixels

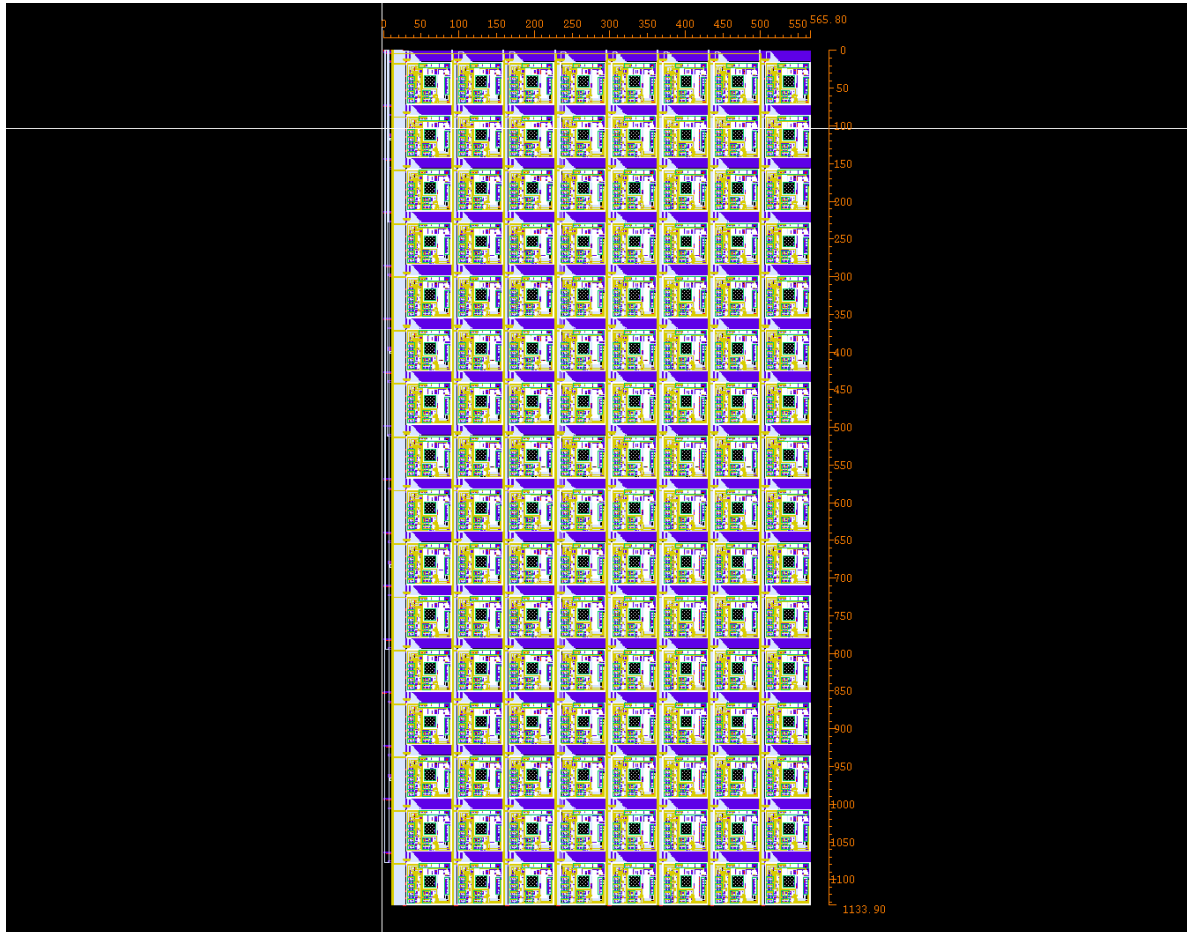


Funktionsweise der 16x8-Matrix

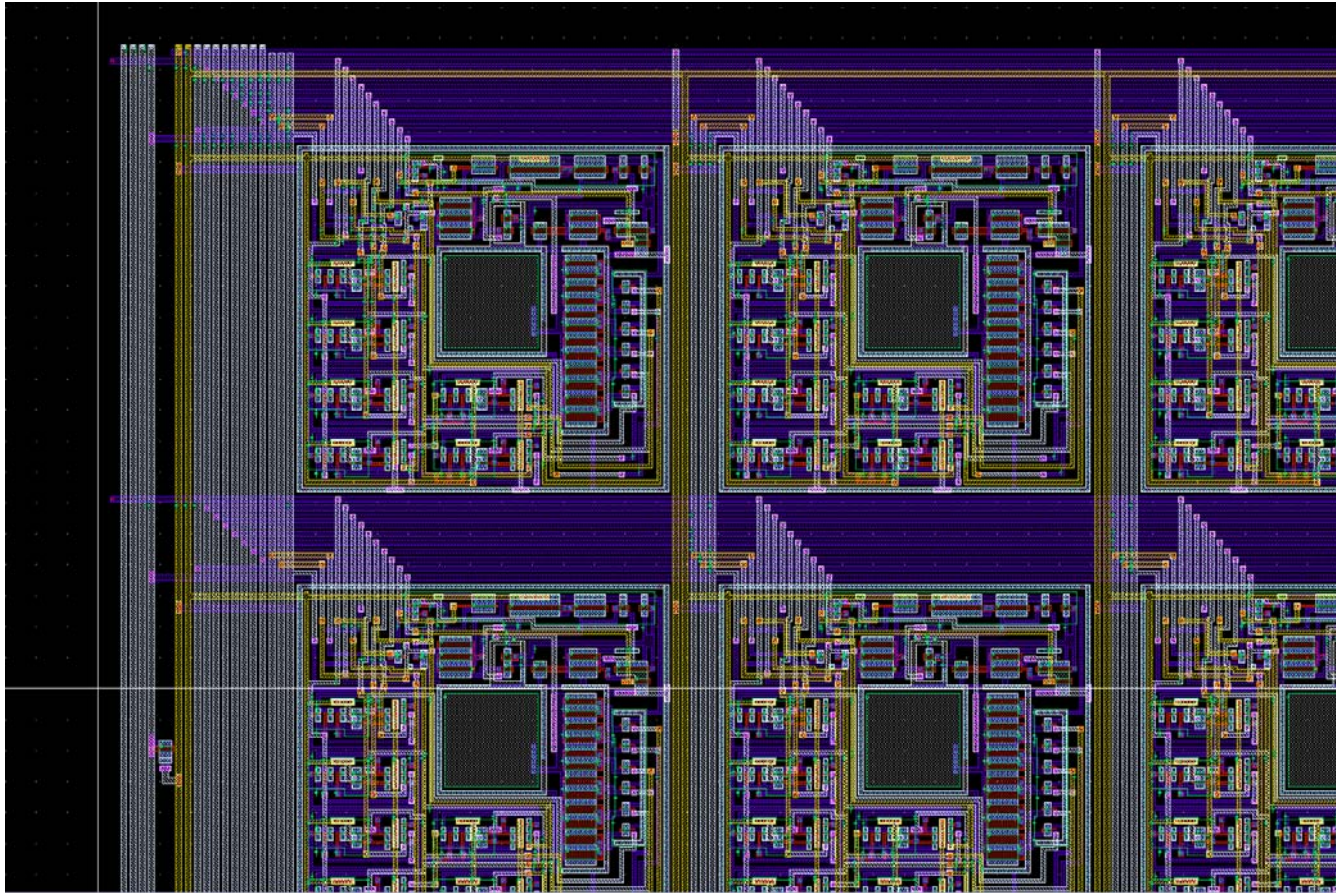
- Programmierung des 6-Bit Speichers einer Zelle mit configure-Signal, Auswahl einzelner Zellen mit rowselect und columnselect
- Mode-Signal bestimmt über Verwendung des Differenzverstärkers
- Auslesen der Zellen über Ansteuerung mit rowselect und columnselect

Schematic der 16x8-Matrix

Layout der 16x8-Matrix



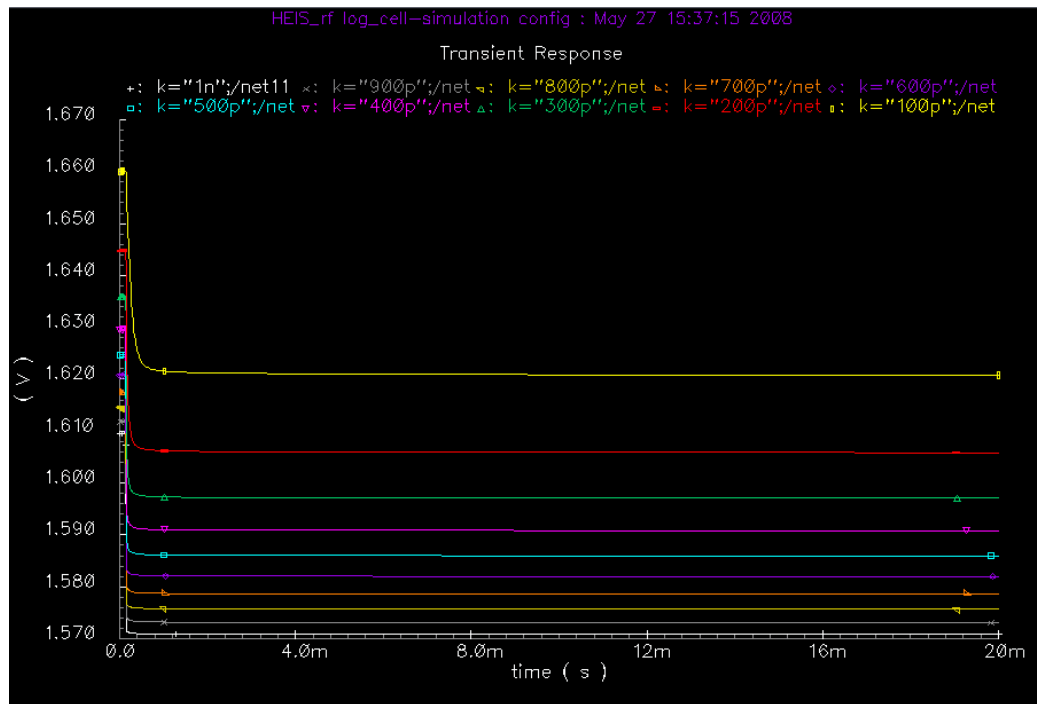
Layout der 16x8-Matrix



LVS-Check

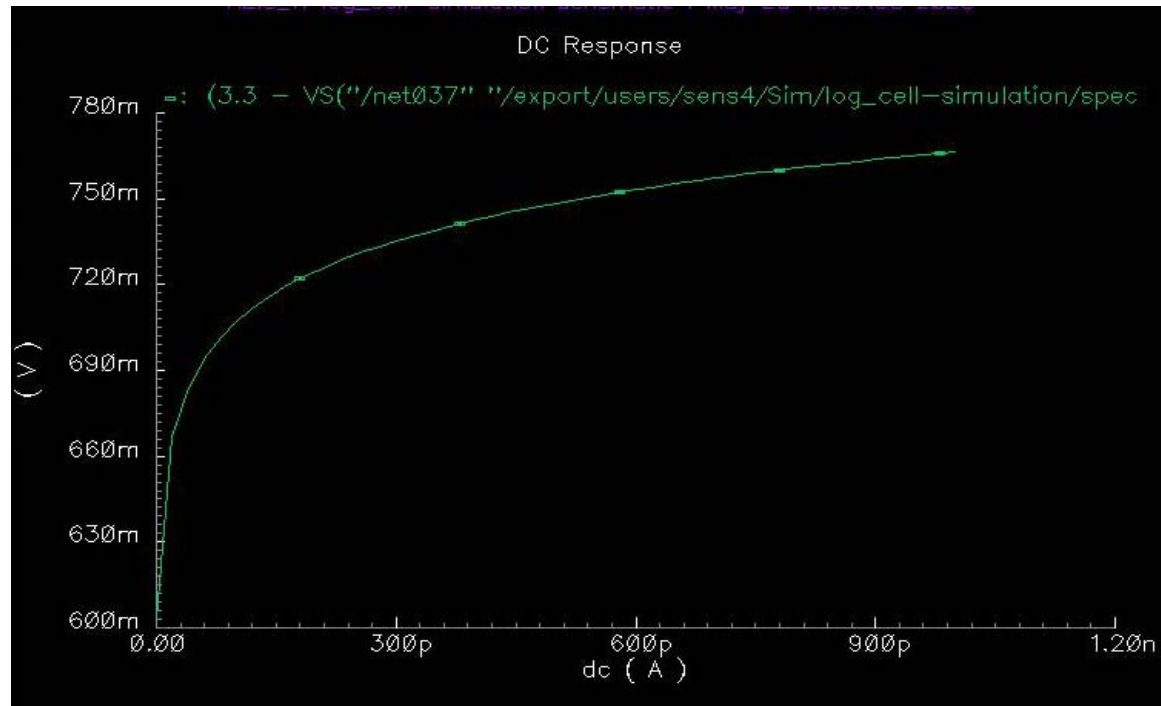
Simulation

- Transient-Analyse mit minimaler Last



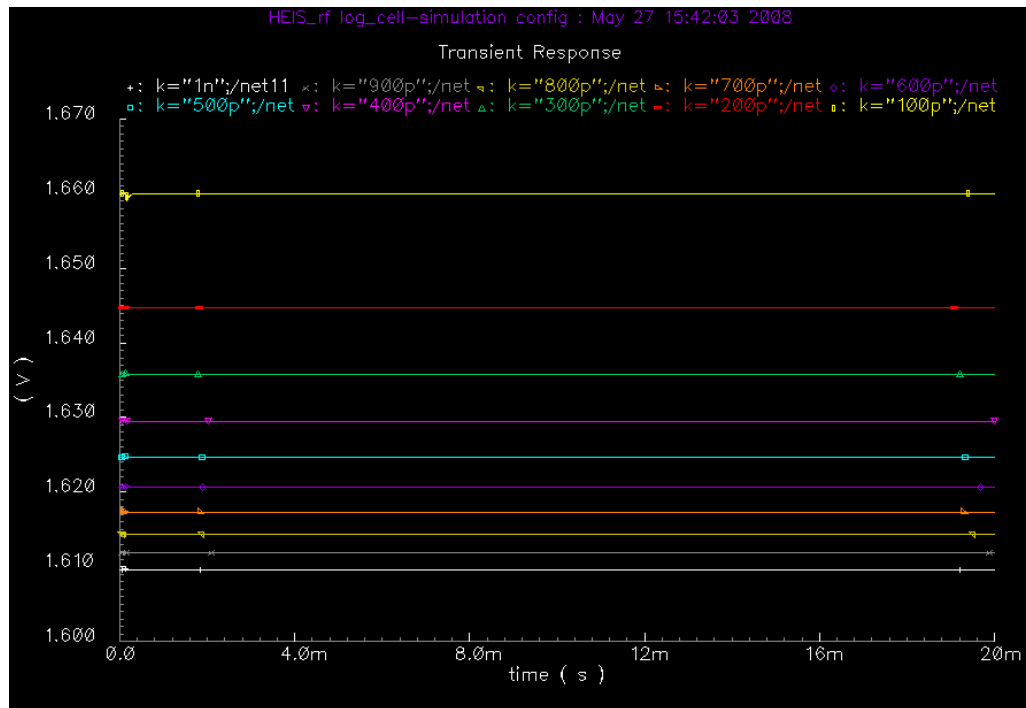
Simulation

- DC-Plot: $V_{dd} - V_{Last}$ bei minimaler Last



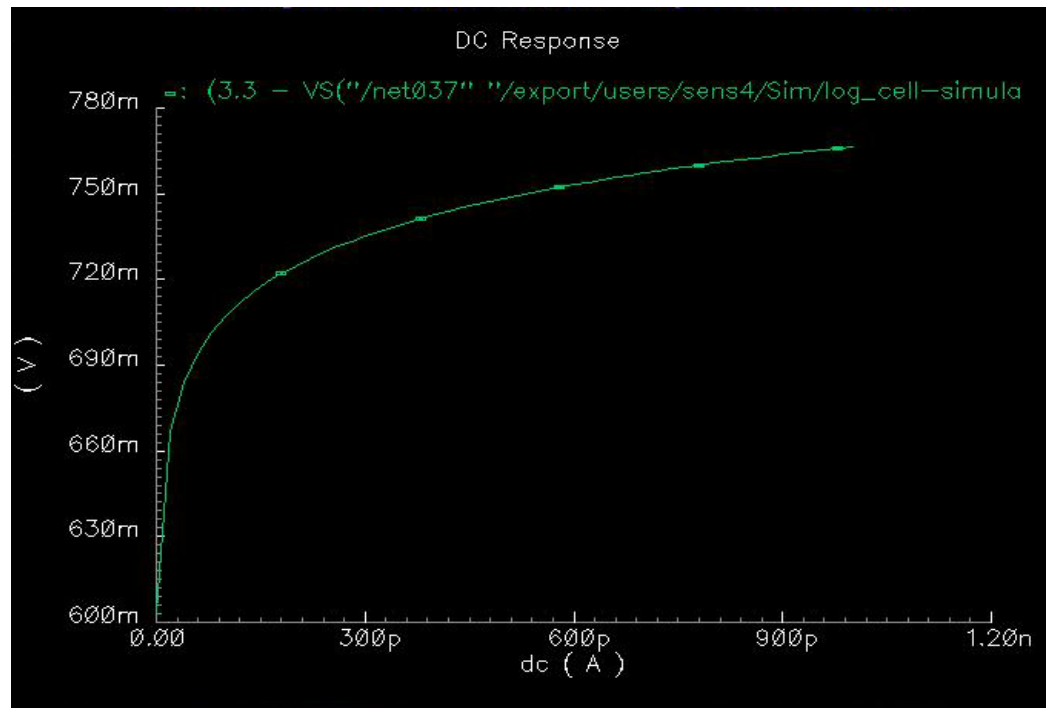
Simulation

- Transient-Analyse mit maximaler Last



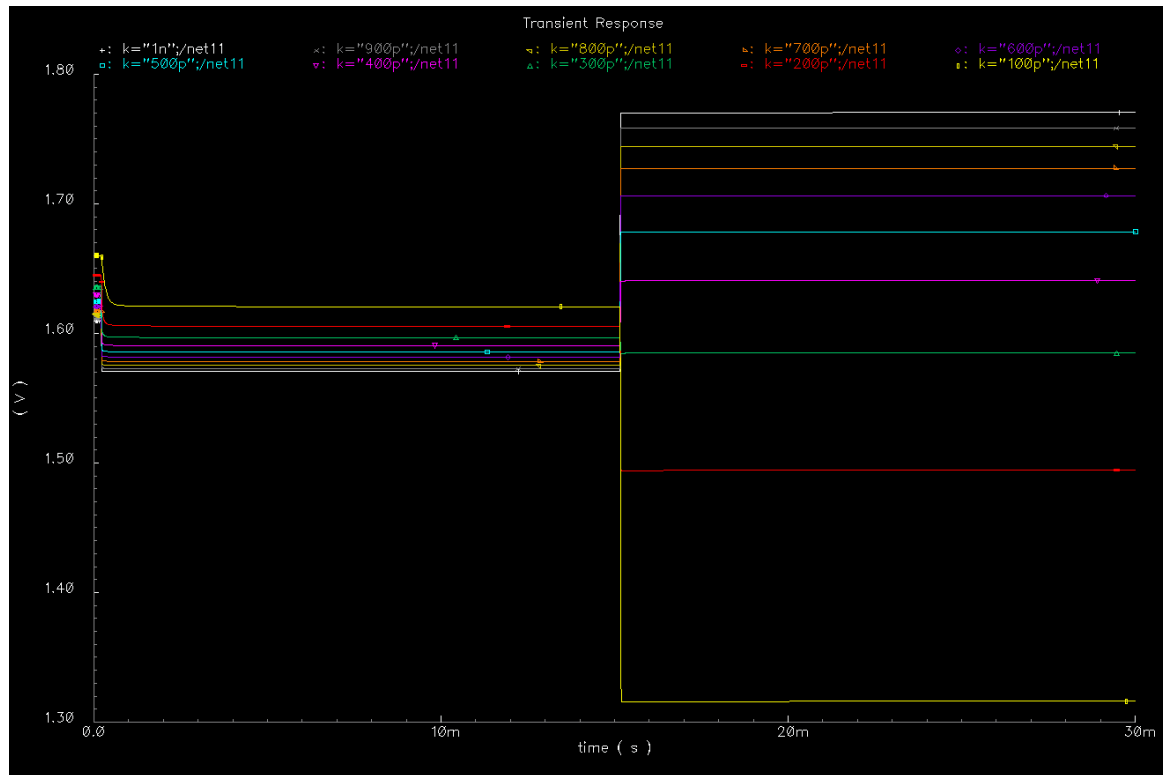
Simulation

- DC-Plot: $V_{dd} - V_{Last}$ bei maximaler Last



Simulation

- Einschalten des eingebauten Differenzverstärkers



Technische Daten

- Pixel-Größe: $60 \mu\text{m} \times 56 \mu\text{m}$
- Matrix-Größe: $566 \mu\text{m} \times 1134 \mu\text{m}$
- Füllfaktor: 7%
- Dynamikbereich: $\sim 120 \text{ dB}$
- Leistungsverbrauch: 12 – 32 mW

Globales Projekt

- Platzieren der Source Follower Loads

