

Logische Grundschaltungen

Versuch Nr.

9

Erforderliche Geräte

Anzahl	Bezeichnung, Daten	GL-Nr.
1	Voltmeter	335
1	Steckbrett SB 1	
1	Steckbrett SB 2 mit 5V Netzteil	
1	Steckbrett SB 3	
1	Schaltbrett SB 4	
3	Dioden	
2	Widerstände 2,2k Ω	
1	Widerstand 1k Ω	
6	TTL-Bausteine	
	Sockelbezeichnung auf Steckbrett SB 3:	Typ
	A, F	SN 7400
	B	SN 7402
	C	SN 7408
	D	SN 7411
	E	SN 7432

Datum:

Name:

Versuch durchgeführt:

1 Theoretische Grundlagen

Mit Hilfe von logischen Schaltungen werden in digitalen nachrichtenverarbeitenden Systemen verschiedener Herkunft zu neuen Nachrichten verknüpft: Daher nennt man diese Schaltungen auch Verknüpfungsschaltungen. Der Name „logische Schaltungen“ beruht darauf, dass bei diesen Schaltungen zwischen Ausgangssignalen und Eingangssignalen ein Zusammenhang besteht, der durch logische Begriffe wie „nicht“, „und“, „oder“, „gleich“, „ungleich“ und ähnliche Begriffe bestimmt wird.

2 „Logisch Null“ und „logisch Eins“

Die Funktionen verschiedener Verknüpfungsglieder oder Gatter werden durch eine zweiwertige Logik beschrieben. Grundlagen für bestimmte Folgerungen bilden hierbei die Aussagen „wahr“ oder „nicht wahr“ bzw. „falsch“.

Bei der technischen Realisierung logischer Schaltungen werden Signale verwendet, die nur zwei Zustände annehmen können (z.B. Impuls vorhanden – Impuls nicht vorhanden, Strom fließt – Strom fließt nicht, Spannung – keine Spannung). Signale, die dieser Bedingung entsprechen, werden binäre Signale genannt. Den beiden verschiedenen Zuständen werden die Angaben „0“ bzw. „1“ zugeordnet. Sie werden „logische Null“ und „logische Eins“ genannt, um sie im Sprachgebrauch von den Dezimalziffern unterscheiden zu können.

2.1 Pegelangaben L (LOW) und H (HIGH)

Bei jedem Verknüpfungsglied gehört zu jedem bestimmten Eingangszustand ein bestimmter Ausgangszustand. Dieser jeweilige Zustand kann zum Beispiel ein Spannungspegel sein. Da in der Digitaltechnik nur mit zwei definierten Zuständen gearbeitet wird, kann man diesen beiden Zuständen die Pegelangaben L (für den kleineren Pegel) und H (für den größeren Pegel) zuordnen. Die Angaben L und H sind in diesem Fall keine Logik-Bezeichnungen, sondern reine Pegelangaben, mit deren Hilfe die elektrische Arbeitsweise einer Schaltung beschrieben werden kann. Damit diese beiden Pegel von einer Schaltung eindeutig interpretiert werden können, dürfen außer H und L keine weiteren Pegel auftreten.

2.1.1 Mögliche Zuordnungen: Positive Logik, negative Logik

Will man die logische Arbeitsweise einer Schaltung beschreiben, so müssen die Pegelangaben den logischen Zuständen zugeordnet werden. Es gibt zwei Zuordnungsarten:

a) Positive Logik

„0“ \equiv L logisch 0 entspricht niedrigem Pegel L
„1“ \equiv H logisch 1 entspricht hohem Pegel H

b) Negative Logik

„0“ \equiv H logisch 0 entspricht hohem Pegel H
„1“ \equiv L logisch 1 entspricht niedrigem Pegel L

Je nachdem, welche Zuordnung verwendet wird, ändert sich das logische Verhalten einer Schaltung.

In diesem Laborversuch wird als Zuordnung die positive Logik verwendet, wenn nichts anderes angegeben ist.

3 Verknüpfungsarten

3.1 Grundverknüpfungen

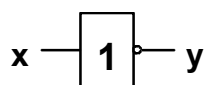
Es gibt drei Grundverknüpfungen, auf die sämtliche Schaltungsanordnungen zurückgeführt werden können. Die Verknüpfung zwischen Ein- und Ausgangsvariablen kann durch eine Funktionstabelle dargestellt werden.

3.1.1 Negation (NICHT-Verknüpfung)

x	y
0	1
1	0

Am Ausgang einer NICHT-Verknüpfung (Inverter) liegt immer der entgegengesetzte Zustand des Eingangszustands.

Schaltzeichen:



Formel:

$$y = \bar{x}$$

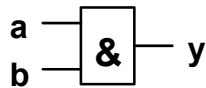
(in Worten: y gleich x nicht)

3.1.2 Konjunktion (UND-Verknüpfung)

a	b	y
0	0	0
0	1	0
1	0	0
1	1	1

Die Konjunktion sagt aus, dass y nur dann 1 ist, wenn a und b gleich 1 sind. In allen weiteren möglichen Kombinationen von a und b ist $y = 0$.

Schaltzeichen:



Formel:

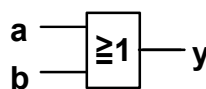
$$y = a \wedge b$$

3.1.3 Disjunktion (ODER-Verknüpfung)

a	b	y
0	0	0
0	1	1
1	0	1
1	1	1

Die Disjunktion sagt aus, dass y nur dann 0 ist, wenn a und b gleich 0 sind. In allen weiteren möglichen Kombinationen von a und b ist $y = 1$.

Schaltzeichen:



Formel:

$$y = a \vee b$$

3.2 Weitere Verknüpfungen

Neben den in Kapitel 3.1 definierten Grundverknüpfungen lassen sich noch weitere Verknüpfungen definieren. Diese Verknüpfungen bringen aber grundsätzlich keine Erweiterung, da mit den Grundverknüpfungen bereits jede Funktion beschrieben werden kann. Ein wichtiger Grund für die Verwendung weitere Verknüpfungsarten liegt darin, dass bei der technischen Realisierung von komplizierten logischen Funktionen bestimmte Verknüpfungen besonders rationell eingesetzt werden können.

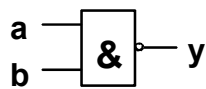
Es ist möglich, ganze Schaltungen nur mit NAND- oder nur mit NOR-Gattern zu realisieren.

3.2.1 NAND (NOT-AND)

a	b	y
0	0	1
0	1	1
1	0	1
1	1	0

Am Ausgang eines NAND-Gatters liegt immer dann der Zustand 1, wenn nicht an allen Eingängen der Zustand 1 liegt.

Schaltzeichen:



Formel:

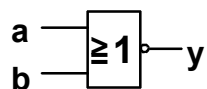
$$y = \overline{a \wedge b}$$

3.2.2 NOR (NOT-OR)

a	b	y
0	0	1
0	1	0
1	0	0
1	1	0

Am Ausgang eines NOR-Gatters liegt nur dann der Zustand 1, wenn an keinem der Eingänge der Zustand 1 liegt.

Schaltzeichen:



Formel:

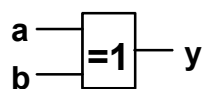
$$y = \overline{a \vee b}$$

3.2.3 Antivalenz (exklusives ODER (EXOR))

a	b	y
0	0	0
0	1	1
1	0	1
1	1	0

Die Ausgangsvariable y ist nur dann gleich 1, wenn die Eingangsvariablen a und b gegensätzliche logische Werte haben.

Schaltzeichen:



Formel:

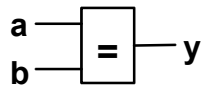
$$y = a \neq b$$

3.2.4 Äquivalenz

a	b	y
0	0	1
0	1	0
1	0	0
1	1	1

Die Ausgangsvariable y ist nur dann gleich 1, wenn die Eingangsvariablen a und b den gleichen logischen Wert haben.

Schaltzeichen:



Formel:

$$y = a \equiv b$$

3.3 Gatter, die auch für n Eingänge definiert sind

- a) UND: $y = x_1 \wedge x_2 \dots \wedge x_n$,
- b) ODER: $y = x_1 \vee x_2 \dots \vee x_n$,
- c) NAND: $y = \overline{x_1 \wedge x_2 \dots \wedge x_n}$,
- d) NOR: $y = \overline{x_1 \vee x_2 \dots \vee x_n}$.

4 Technische Realisierung

Logische Schaltungen sind auf unterschiedliche Art und Weise realisierbar: in elektronischer, in magnetischer, in pneumatischer oder strömungsmechanischer Technik. Die größte Bedeutung haben dabei die Verknüpfungsschaltungen in Halbleitertechnik.

4.1 Elektronische Realisierung einer UND-Verknüpfung

Eine UND-Verknüpfung lässt sich zum Beispiel durch eine Diodenschaltung realisieren.

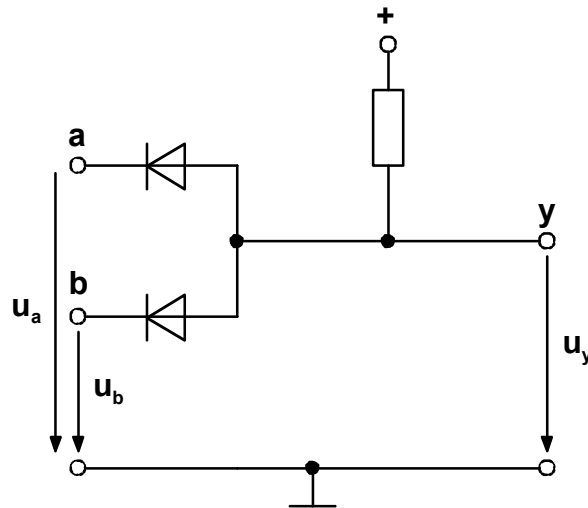


Bild 1 UND-Verknüpfung

Die Ausgangsspannung U_y ist abhängig von den beiden Eingangsspannungen U_a und U_b . Wird der positiven Spannung „logisch Eins“ und der Spannung 0V (Massepotenzial) „logisch Null“ zugeordnet, so wird y gleich „logisch Eins“, wenn die beiden Eingänge a und b an positiver Spannung liegen. Bei allen übrigen Eingangskombinationen von a und b ist y gleich „logisch Null“.

4.2 Wichtige Verknüpfungsprinzipien der Halbleitertechnik

4.2.1 DTL-Technik (Dioden-Transistor-Logik)

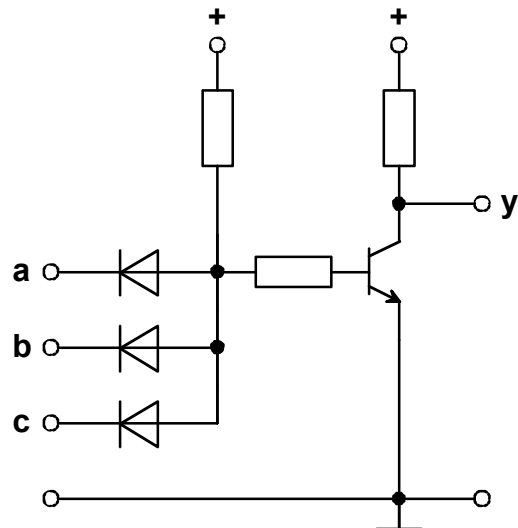


Bild 2 DTL-NAND-Gatter

Beim Aufbau der logischen Schaltungen werden bei DTL-Technik [1] überwiegend Dioden und Transistoren verwendet. Die abgebildete Schaltung stellt das Prinzip eines DTL-NAND-Gatters dar.

4.2.2 TTL-Technik (Transistor-Transistor-Logik)

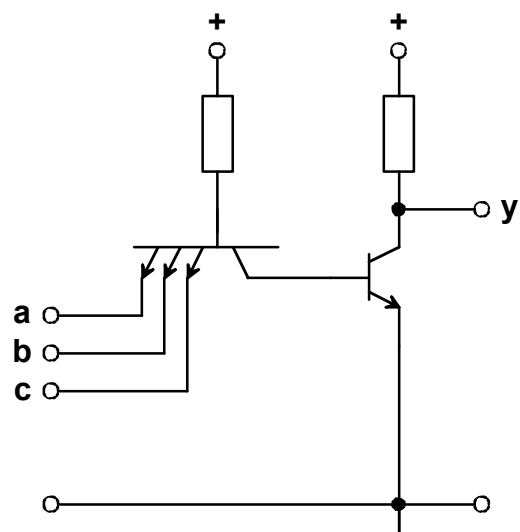


Bild 3 TTL-NAND-Gatter

In der TTL-Technik [1] werden die logischen Gatter als Halbleiterschaltungen unter hauptsächlichlicher Verwendung von Transistoren aufgebaut. Ein besonderes Kennzeichen der meist verwendeten Schaltungen ist ein Transistorsystem mit mehreren Emitttern, der sogenannte „Multi-Emitter-Transistor“. Ein Multi-Emitter-Transistor arbeitet wie eine Parallelschaltung mehrerer Transistoren. Die abgebildete Schaltung stellt das Prinzip eines TTL-NAND-Gatters dar.

Neben diesen beiden Prinzipien gibt es noch einige technische Weiterentwicklungen, die in erster Linie dafür sorgen, dass die Schaltgeschwindigkeit der einzelnen Gatter erhöht, z.B. ECL-Technik, oder der Energieverbrauch minimiert wird, z.B. CMOS-Technik.

Im Rahmen dieser Laboranleitung soll auf diese technischen Einzelheiten nicht näher eingegangen werden.

4.3 Integrierte Schaltkreise

Unter einer integrierten Schaltung (IC = **I**ntegrated **C**ircuit) versteht man die Realisierung einer vollständigen funktionsfähigen elektronischen Schaltung auf einem einzigen Halbleiterplättchen. Als Halbleitermaterial (Substrat) findet vorwiegend Silizium Verwendung, dessen Herstellungstechnologie gut beherrschbar ist. Im Gegensatz zu Schaltungen, die aus einer Vielzahl diskreter Einzelbauelemente durch geeignetes Zusammenlöten der Anschlussdrähte entstehen, werden bei der Fertigung integrierter Schaltungen auf ein und demselben Halbleiterplättchen (Chip) verschiedenartige Bauelemente wie Transistoren, Dioden und Widerstände in gewünschter Reihenfolge hergestellt und durch entsprechende Metallisierungsverfahren miteinander verbunden.

Die Idee der Integration analoger oder digitaler Schaltungen bietet den Vorteil von reduziertem Raumbedarf, Gewicht und Herstellungsaufwand, führt zu einer Verbesserung der physikalischen und elektrischen Eigenschaften und erhöht die Zuverlässigkeit der Schaltungsfunktion.

Im Bereich der digitalen integrierten Schaltkreise haben sich die TTL-Technik, die CMOS-Technik und die ECL-Technik zu Weltstandards entwickelt. Je nach der Anzahl der pro Halbleiterchip integrierten Bauelemente unterscheidet man in niedrig- und mittelintegrierte Schaltkreise (SSI = **S**mall **S**cale **I**ntegration, MSI = **M**edium **S**cale **I**ntegration) mit 10 bis zu einigen 100 Bauelementen, und in hoch- und höchstintegrierte Schaltkreise (LSI = **L**arge **S**cale **I**ntegration, VLSI = **V**ery **L**arge **S**cale **I**ntegration) mit Tausenden bis zu Hunderttausenden einzelner Bauelemente. Der zunehmenden Steigerung der Integrationsdichte sind jedoch physikalische und technologische Grenzen gesetzt, die sich vorwiegend in einer sinkenden Ausbeute bei der Herstellung hochintegrierter Schaltkreise äußern.

Der Zweig der Elektronik, der sich mit der Herstellung solch hochintegrierter elektronischer Schaltungen und Systeme unter Verwendung von Bauelementen mit extrem niedrigen Abmessungen beschäftigt, wird allgemein als Mikroelektronik bezeichnet.

5 Weiterführende Literatur zur digitalen Schaltungstechnik

- [1] Tietze, Ulrich; Schenk, Christoph:
Halbleiter-Schaltungstechnik
Springer-Verlag Berlin, Heidelberg, New York
Fachbereichsbibliothek: ELT 530/189
- [2] Giloi, Wolfgang:
Logischer Entwurf digitaler Systeme
Springer-Verlag Heidelberg, Berlin, New York
Fachbereichsbibliothek: ELT 862/004
- [3] Haack, Otto:
Einführung in die Digitaltechnik
Teubner-Verlag Stuttgart
Fachbereichsbibliothek: ELT 862/022
- [4] Beuth, Klaus:
Grundsaltungen
Vogel-Verlag Würzburg
Fachbereichsbibliothek: ELT 510/064
- [5] Texas Instruments:
TTL-Kochbuch
Texas Instruments Deutschland, Freising
Fachbereichsbibliothek: ELT 503/004

6 Fragen und Aufgaben zur digitalen Schaltungstechnik

Nachstehende Fragen und Aufgaben dienen Ihrer Selbstkontrolle. Falls Sie ohne Zuhilfenahme der ersten Abschnitte dieser Laboranleitung die Lösung nicht finden können, sollten Sie die betreffenden Kapitel nochmals durcharbeiten.

1. Nennen Sie die wichtigsten logischen Verknüpfungen!
2. Erklären Sie die Bedeutung der Pegelangaben LOW und HIGH!
3. Erklären Sie die Begriffe positive Logik und negative Logik!
4. Was lässt sich mit Hilfe einer Funktionstabelle darstellen?
5. Geben Sie die Funktionstabellen der wichtigsten logischen Verknüpfungen an!
6. Nennen Sie zwei wichtige Verknüpfungsprinzipien der Halbleitertechnik!

- Wie kann man durch Zusammenschaltung von ODER-Gattern mit zwei Eingängen ein ODER-Gatter mit vier Eingängen realisieren?
- Um welche Verknüpfungen handelt es sich bei den beiden angegebenen Schaltungen a) und b)?

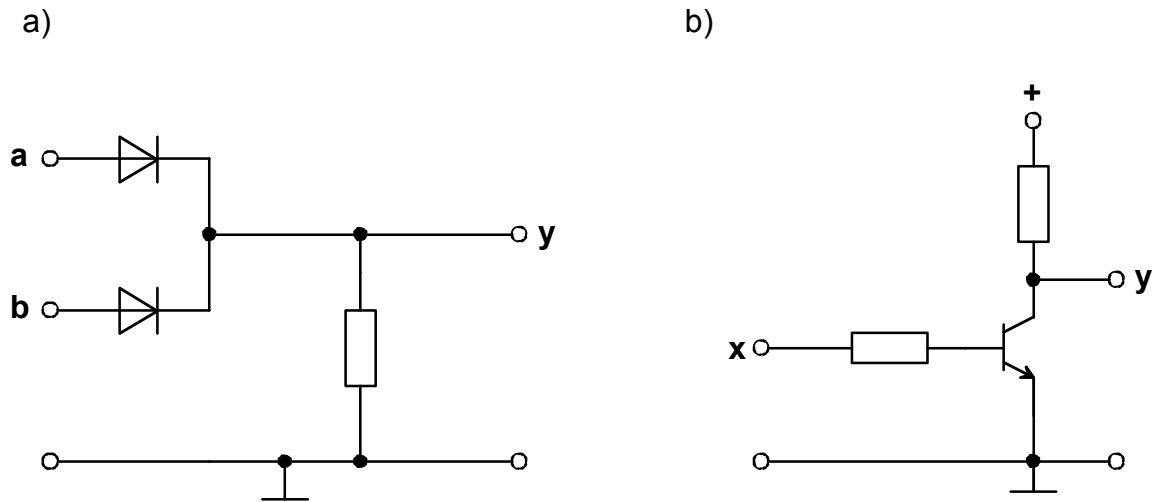
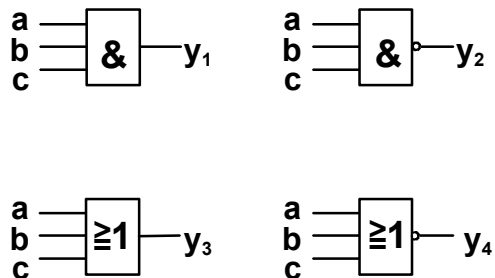


Bild 4

- Vervollständigen Sie die Funktionstabelle für die angegebenen Gatter:



a	b	c	y_1	y_2	y_3	y_4
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

10. Welche Vorteile bietet die Anwendung der Mikroelektronik bei der Herstellung integrierter Schaltkreise ?

7 Fehlererkennung in digitalen integrierten Schaltungen

Bei der Fertigung hochintegrierter Schaltkreise können durch Schwächen im Fertigungsprozess herstellungsbedingte Transistor-Fehlfunktionen bzw. Logik- und Verdrahtungsfehler auf dem Halbleitersubstrat entstehen, deren Erkennung durch eine dem Herstellungsprozess nachfolgende Bauelementprüfung sichergestellt werden muss. Im Rahmen dieses als Fehlerdiagnose bezeichneten Vorgangs unterscheidet man zwischen der Fehlererkennung, d.h. der Feststellung einer oder mehrerer Fehlfunktionen des zu prüfenden Schaltkreises, und der Fehlerlokalisierung, die aufzeigt, an welchen Stellen in der geprüften Schaltung die festgestellten Fehlfunktionen auftreten.

Im Folgenden wird nur speziell auf die Problematik der Fehlererkennung näher eingegangen. Die Durchführung einer Fehlerlokalisierung ist nur dann sinnvoll, wenn der Hersteller des integrierten Schaltkreises über Möglichkeiten zur Reparatur der Fehlfunktionen oder zur Verbesserung des Fertigungsprozesses verfügt.

7.1 Fehler in Schaltnetzen

Die folgenden Betrachtungen beziehen sich auf rein kombinatorische Schaltnetze, d.h. auf digitale Schaltungen, die nur logische Gatter beinhalten. Die in solchen Schaltnetzen auftretenden möglichen Fehler lassen sich in statische und in dynamische Fehler aufteilen. Statische Fehler sind solche, die inhärent mit dem Schaltnetz verbunden sind und damit ständig auftreten. Während die statischen Fehler damit reproduzierbare Auswirkungen auf das Schaltnetzverhalten zeigen, sind dynamische Fehler nicht auf erkennbare Weise reproduzierbar. Dynamische Fehler können beispielsweise durch intermittierende Kontakte (Wackelkontakte) oder durch vorübergehende externe Störeinflüsse, z.B. kapazitiver oder induktiver Art, verursacht werden.

Beschränkt man sich nur auf statische Fehler, so sind die beiden Fehlertypen stuck-at-0 und stuck-at-1 von praktischem Interesse, da sie die am meisten real auftretenden Ausfallmöglichkeiten von kombinatorischen Schaltnetzen erfassen.

Besitzt ein Netzwerkknoten, das kann sowohl ein Ausgang als auch ein Eingang eines logischen Gatters im betrachteten Schaltnetz sein, einen stuck-at-0- bzw. stuck-at-1-Fehler, so ist der Binärwert dieses Netzwerkknotens, unabhängig von der Binärbelegung anderer Schaltnetzknotten ständig auf logisch 0 bzw. 1, siehe Bilder (5), (6).



Bild 5 Stuck-at-0-Fehler am Ausgang eines logischen Gatters

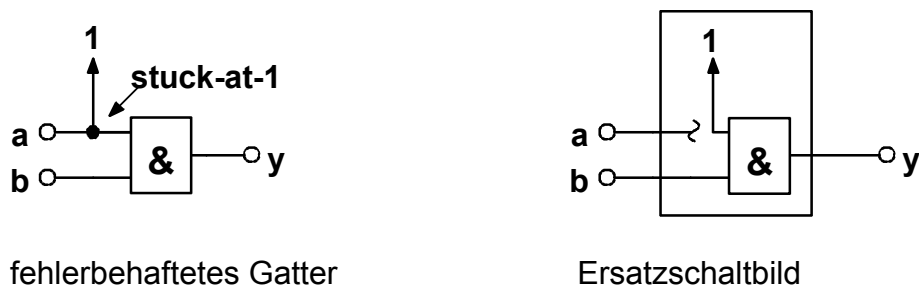


Bild 6 Stuck-at-1-Fehler am Eingang eines logischen Gatters

In Anlehnung an die englische Nomenklatur stuck-at-0 bzw. stuck-at-1 werden diese beiden Fehlertypen auch als Hafffehler bezeichnet.

Geht man davon aus, dass im zu prüfenden Schaltnetz nur Fehler des Typs stuck-at auftreten, so spricht man vom sog. stuck-at-Fehlermodell. Falls im gesamten Schaltnetz nur ein einziger solcher stuck-at-Fehler auftritt, setzt man das single-stuck-at-Fehlermodell voraus.

Die Annahme eines einzigen Fehlers in einer integrierten Schaltung ist insbesondere bei der mit VLSI bezeichneten Höchstintegrationstechnik sehr umstritten, wird aber damit begründet, dass die Wirkungen mehrerer Einzelfehler höchstwahrscheinlich nicht alle gleichzeitig auf den gleichen Signalfortsetzungspfad im Schaltnetz angreifen und damit an verschiedenen Schaltungsausgängen beobachtbar sind. Die Einschränkung auf nur einen einzigen Fehler im zu prüfenden Schaltnetz vereinfacht erheblich die Fehlererkennung und führt schnell zu einer erfolgreichen Testdatengenerierung.

7.2 Prüfvorgang bei integrierten Schaltkreisen

Bei integrierten Schaltkreisen besteht i.a. keine direkte Zugriffsmöglichkeit auf schaltungsinterne Signalpegel, z.B. zur Beobachtung der Schaltfunktion bestimmter logischer Gatter. Aus diesem Grund kann die Analyse der Funktion eines zu prüfenden

Schaltnetzes nur über die extern zugänglichen Signaleingänge und –ausgänge durchgeführt werden.

Der Prüfvorgang zur Fehlererkennung in digitalen integrierten Schaltkreisen erfolgt deshalb durch die Belegung der Eingänge des zu untersuchenden Schaltnetzes mit geeignet zu wählenden Eingangssignalkombinationen – den Testvektoren – und durch den Vergleich der zu den jeweiligen Testvektoren zugehörigen Schaltnetzausgangssignalen auf Übereinstimmung mit den im fehlerfreien Fall zu erwartenden Soll-Signalen.

Da es in der Regel aus zeitlichen Gründen unmöglich ist, alle Eingangssignalkombinationen auszutesten, insbesondere, wenn Schaltnetze mit vielen Eingängen vorliegen, ist es Ziel der Testvektorerstellung, mit einer möglichst kleinen Testvektormenge einen möglichst hohen Fehlerabdeckungsgrad innerhalb eines zur Verfügung stehenden Testzeitraums sicherzustellen. Unter Fehlerabdeckungsgrad sei hierbei das Verhältnis der mit einer Testvektormenge erkannten Fehler zu der Anzahl aller im Rahmen des betrachteten Fehlermodells möglichen Fehler verstanden.

7.3 Testvektorerstellung

Das zentrale Problem bei der Fehlererkennung in digitalen Schaltnetzen ist die Testvektorerstellung, d.h. die Auswahl der zur Fehlererkennung notwendigen Eingangssignalvektoren. Für das single-stuck-at-Fehlermodell existieren unterschiedliche Strategien zur Testvektorerstellung. Neben algorithmischen Verfahren, wie z.B. der Methode der Booleschen Differenz oder des D-Algorithmus, existieren auch heuristische Testvektorerstellungsverfahren, wie z.B. die Methode der Pfadsensibilisierung, auf die im Folgenden näher eingegangen wird.

Ein Beispiel soll die Methode der Pfadsensibilisierung verdeutlichen. Das nachstehende Bild zeigt ein Schaltnetz, das nur aus zwei AND-Gattern besteht. Der Vektor $\vec{x} = (x_1, x_2, x_3)$ repräsentiert den Eingangsvektor des Schaltnetzes, und $\vec{y} = (y_1)$ bildet den Ausgangsvektor.

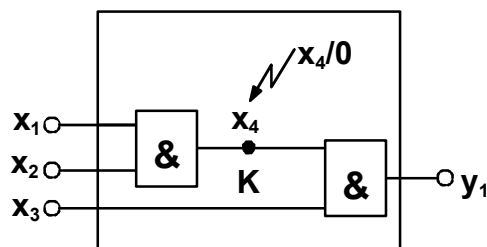


Bild 7

Die Größe x_4 repräsentiert die Binärbelegung des schaltungsinternen Knotens K .

Unter Zugrundelegung des single-stuck-at-Fehlermodells wird am Knoten K ein stuck-at-Fehler des Typs stuck-at-0, im Bild durch $x_4/0$ gekennzeichnet, angenommen. Es soll nun ein Testvektor $\vec{x}_{4/0} = (x_1, x_2, x_3)_{4/0}$ generiert werden, der diesen Haftfehler detektiert. Die Vektorgenerierung erfolgt in zwei Schritten.

Mit einer geeignet zu wählenden Belegung (x_1, x_2) wird zunächst die Knotenbelegung x_4 auf den zum Haftfehlerpegel 0 invertierten Binärwert 1 gezwungen. Diese Fähigkeit, einen schaltungsinternen Knoten K durch schaltungsexterne Signale auf einen vorgegebenen Binärwert zwingen zu können, wird als Steuerbarkeit des Knotens K bezeichnet.

Liegt am Knoten K kein Fehler des Typs $x_4/0$ vor, so wird sich der Binärwert $x_4 = 1$ einstellen. Im Falle eines Fehler $x_4/0$ jedoch wird der Knoten K den Binärwert $x_4 = 0$ beibehalten. Das Vorhandensein eines Haftfehlers $x_4/0$ kann damit durch Analyse der Knotenbelegung x_4 überprüft werden. Da bei integrierten Schaltkreisen jedoch i.a. kein Zugriff auf schaltnetzinterne Knoten möglich ist, muss die Analyse der Knotenbelegung x_4 über den extern zugänglichen Schaltnetzausgang y_1 durchgeführt werden. Dies erfolgt in einem zweiten Schritt durch geeignete Wahl der Belegung des Eingangssignals x_3 derart, dass der Ausgang y_1 nur noch von der Belegung x_4 des Knotens K abhängt. Die Fähigkeit, durch geeignete Wahl der Binärbelegungen bestimmter Eingangssignale der logischen Schaltung die binäre Belegung eines schaltungsinternen Knotens K an schaltungsexternen Ausgängen beobachten zu können, wird als Beobachtbarkeit des Knotens K bezeichnet. Mit $x_3 = 1$ gilt $y_1 = x_4$, wodurch es möglich ist, die binäre Belegung des Knotens x_4 am Schaltnetzausgang y_1 direkt zu beobachten. Man spricht bei diesem zweiten Schritt auch von der Sensibilisierung des Ausgangspfads $x_4 \rightarrow y_1$.

Im fehlerfreien Fall gehört zum Testvektor $\vec{x}_{4/0} = (1 \ 1 \ 1)$ der Ausgangsvektor $\vec{y}_{4/0} = (1)$. Im Fall des Haftfehlers $x_4/0$ ergibt sich bei gleichem Testvektor der Ausgangsvektor $\vec{y}'_{4/0} = (0)$. Die Erkennung des Fehlers $x_4/0$ beruht damit auf der Anlegung eines geeignet zu wählenden Testvektors $\vec{x}_{4/0}$ und dem Vergleich des sich einstellenden Ausgangsvektors $\vec{y}'_{4/0}$ mit dem im fehlerfreien Fall zu erwartenden Soll-Ausgangsvektor $\vec{y}_{4/0}$.

Die Testbarkeit eines Netzwerkknotens gemäß der Methode der Pfadsensibilisierung basiert auf der Steuerbarkeit und der Beobachtbarkeit dieses Knotens. Die Testbarkeit eines gesamten Schaltnetzes basiert auf der Testbarkeit aller Netzwerkknoten im Schaltnetz.

Die Umkehrung des Verfahrens der Testvektorerstellung mit der Methode der Pfadsensibilisierung unter Anwendung aller in der o.g. Schaltung möglichen 8 Testbelegungen (x_1, x_2, x_3) zeigt, dass bestimmte Testbelegungen mehrere Einzelhaftfehler auf der Basis des single-stuck-at-Fehlermodells erkennen können, siehe nachstehende Fehlererkennungstabelle.

Fehlererkennungstabelle													
Testvektor			Erkannte Einzelhaftfehler										
x ₁	x ₂	x ₃	x ₁ /0	x ₁ /1	x ₂ /0	x ₂ /1	x ₃ /0	x ₃ /1	x ₄ /0	x ₄ /1	y ₁ /0	y ₁ /1	
0	0	0										x	
0	0	1								x		x	
0	1	0										x	
0	1	1		x						x		x	
1	0	0										x	
1	0	1				x				x		x	
1	1	0						x				x	
1	1	1	x		x		x		x		x		

Für eine vollständige Fehlererkennung im betrachteten Schaltnetz genügt es deshalb, aus der Menge aller möglichen Testvektoren eine Teilmenge von Testvektoren zu bestimmen, die alle im Schaltnetz möglichen Haftfehler erkennen. Eine solche Teilmenge heißt vollständig bezüglich einer Menge vorgegebener Fehler, wenn jeder erkennbare Fehler diese Fehlermenge durch mindestens einen Testvektor zu erkennen ist. Im Sinne einer effektiven Fehlererkennung ist die vollständige Teilmenge von Testvektoren mit der geringsten Testvektoranzahl zu bestimmen. Eine solche Testmenge wird Mindesttestmenge genannt. Die nachfolgende Tabelle zeigt die Mindesttestmenge $M_T = \{(011), (101), (110), (111)\}$ zum o.a. Schaltnetz.

Fehlererkennungstabelle zur Mindesttestmenge M_T													
Testvektor			Fehlerfreier Ausgangsvektor	Erkannte Einzelhaftfehler									
x ₁	x ₂	x ₃	y ₁	x ₁ /0	x ₁ /1	x ₂ /0	x ₂ /1	x ₃ /0	x ₃ /1	x ₄ /0	x ₄ /1	y ₁ /0	y ₁ /1
0	1	1	0		x						x		x
1	0	1	0				x				x		x
1	1	0	0						x				x
1	1	1	1	x		x		x		x		x	

Diese Mindestmenge erhält man aus der vorstehenden Fehlererkennungstabelle durch das zeilenweise Streichen von solchen Testvektoren, deren zugehörige detektierbare Einzelhaftfehler eine Teilmenge der Einzelhaftfehlermenge anderer Testvektoren bilden. Im vorliegenden Beispiel sind die vom Testvektor $(x_1, x_2, x_3) = (001)$ erkennbaren Einzelhaftfehler $x_4/1$ und $y_1/1$ in der Menge der erkennbaren Einzelhaftfehler $x_1/1, x_4/1, y_1/1$ des Testvektors $(x_1, x_2, x_3) = (011)$ enthalten. Der Testvektor (001) kann deshalb aus der Testvektormenge gestrichen werden. Durch wiederholte Anwendung dieser Minimierungsprozedur gelangt man zur Mindesttestmenge, die sich dadurch auszeichnet, dass die Einzelhaftfehlermengen der in ihr enthaltenen Testvektoren verschieden zueinander sind.

Je nach Schaltnetzstruktur können mehrere Mindesttestmengen mit jeweils gleicher Testvektoranzahl existieren. Diese Mindesttestmengen sind bzgl. der Fehlererkennung im betrachteten Schaltnetz gleichwertig, d.h. der Anwender kann dann zum Prüfvorgang eine dieser bezüglich der vollständigen Fehlererkennung gleichwertigen Mindesttestmengen auswählen.

Der Vorteil der Methode der Pfadsensibilisierung liegt in der Einfachheit der Testvektorbestimmung. Die Bestimmung der Mindesttestmenge mit der kleinstmöglichen Anzahl von Testvektoren ist jedoch nur dann gewährleistet, wenn alle möglichen Eingangssignalbelegungen des Schaltnetzes auf ihre Fehlererkennung hin untersucht werden. Dieses Verfahren ist also ungeeignet für Schaltnetze mit hohen Gatterkomplexitäten und vielen Signaleingängen. Die Minimierung umfangreicher Fehlererkennungstabellen erfordert darüber hinaus den Einsatz leistungsfähiger Rechnerprogramme.

8 Literatur zur Fehlererkennung in digitalen Schaltnetzen

- [1] Görke, Winfried:
Fehlerdiagnose digitaler Schaltungen
Teubner-Verlag Stuttgart
Fachbereichsbibliothek: ELT 585/004
- [2] Tietze, Ulrich; Schenk, Christoph:
Halbleiter-Schaltungstechnik
Springer-Verlag Berlin, Heidelberg, New York
Fachbereichsbibliothek: ELT 530/189

9 Fragen und Aufgaben zur Fehlererkennung in digitalen Schaltnetzen

1. Was versteht man unter Fehlerdiagnose bei digitalen Schaltnetzen?
2. Wozu benötigt man die Fehlerlokalisierung?

3. Was sind statische und was sind dynamische Fehler in Schaltnetzen?
4. Weshalb spielen die stuck-at-Fehler eine so große Rolle bei der Fehlererkennung?
5. Wie erfolgt an einem Schaltnetz der Prüfvorgang bei der Fehlererkennung?
6. Erstellen Sie für das nachfolgend dargestellte Schaltnetz die single-stuck-at-Fehlererkennungstabelle!

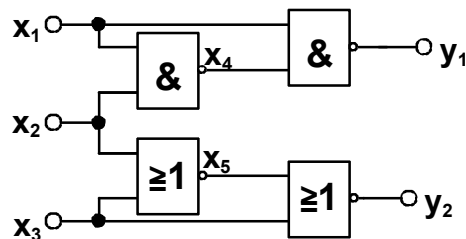


Bild 8

7. Warum ist eine Minimierung der Anzahl der Testvektoren wünschenswert?
8. Führen Sie die Minimierung der Testvektormenge nach Aufgabe (6) zur Mindesttestmenge durch!

10 Hinweise für den Schaltungsaufbau

Die zu verwendenden integrierten TTL-Gatterschaltungen haben jeweils 14 Anschlüsse. Die Versorgungsspannung für die TTL-Bausteine beträgt 5V, wobei der Pluspol immer mit Anschluss 14 und der Minuspol mit Anschluss 7 verbunden wird. Achten Sie sorgfältig darauf, dass Plus- und Minuspol nicht miteinander verwechselt werden, da dies zur Zerstörung der Bausteine führen kann.

Die Eingangssignale für die einzelnen Schaltungen werden den eingebauten Schaltern entnommen. Dabei gilt bei positiver Logik:

Lampe aus = logisch 0 (0V)
 Lampe an = logisch 1 (+5V)

Zeigen Sie den logischen Zustand der einzelnen Ausgänge mit Hilfe der vorhandenen Lampen an!

11 Versuchsdurchführung zur digitalen Schaltungstechnik

11.1

Bauen Sie als Beispiel für die Realisierung in DTL-Technik auf dem vorhandenen Steckbrett SB1 folgende Schaltung auf:

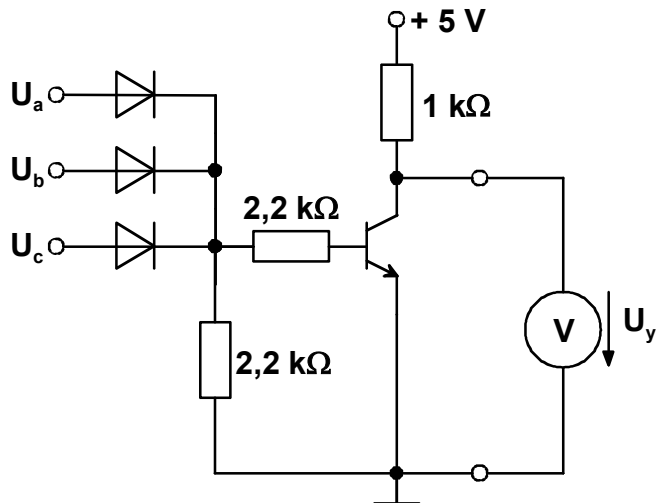


Bild 8

Nehmen Sie mit Hilfe des Voltmeters die Spannungspegeltabelle dieser Schaltung auf, indem Sie an die drei Eingänge U_a , U_b und U_c durch entsprechende Schalterkombination auf Steckbrett SB2 alle möglichen Spannungspegel anlegen! Bestimmen Sie aus der Spannungspegeltabelle die Funktionstabelle der digitalen Schaltung für positive und negative Logik! Um welche Verknüpfungen handelt es sich jeweils bei positiver und negativer logischer Zuordnung?

Funktionstabelle für:

Spannungspegeltabelle			
U_a/V	U_b/V	U_c/V	U_y/V
0	0	0	
0	0	5	
0	5	0	
0	5	5	
5	0	0	
5	0	5	
5	5	0	
5	5	5	

positive Logik			
a	b	c	y

negative Logik			
a	b	c	y

11.2

Untersuchen Sie die auf Steckbrett SB3 montierten TTL-Bausteine mit den Sockelbezeichnungen A, B, C, D, E und geben Sie an, um welche logischen Verknüpfungen es sich jeweils handelt!

11.2.1 Sockel A

4 Gatter mit je 2 Eingängen mit folgender Anschlussverteilung

Gatter	a	b	y
1	1	2	3
2	4	5	6
3	9	10	8
4	13	12	11

Funktionstabelle eines Gatters

a	b	y
0	0	
0	1	
1	0	
1	1	

11.2.2 Sockel B

4 Gatter mit je 2 Eingängen mit folgender Anschlussverteilung

Gatter	a	b	y
1	2	3	1
2	5	6	4
3	8	9	10
4	11	12	13

Funktionstabelle eines Gatters

a	b	y
0	0	
0	1	
1	0	
1	1	

11.2.3 Sockel C

4 Gatter mit je 2 Eingängen
mit folgender Anschlussverteilung

Gatter	a	b	y
1	1	2	3
2	4	5	6
3	10	9	8
4	13	12	11

Funktionstabelle
eines Gatters

a	b	y
0	0	
0	1	
1	0	
1	1	

11.2.4 Sockel D

3 Gatter mit je 3 Eingängen
mit folgender Anschlussverteilung

Gatter	a	b	c	y
1	1	2	13	12
2	3	4	5	6
3	9	10	11	8

Funktionstabelle
eines Gatters

a	b	c	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

11.2.5 Sockel E

4 Gatter mit je 2 Eingängen mit folgender Anschlussverteilung

Gatter	a	b	y
1	1	2	3
2	4	5	6
3	10	9	8
4	13	12	11

Funktionstabelle eines Gatters

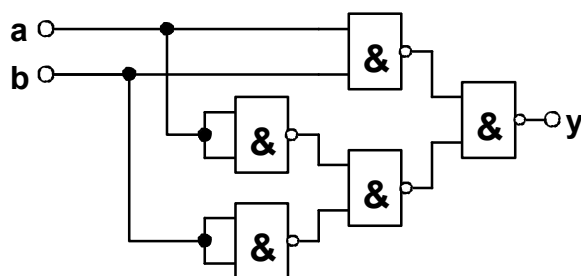
a	b	y
0	0	
0	1	
1	0	
1	1	

11.3

Bauen Sie auf Steckbrett SB3 ein ODER-Gatter mit 4 Eingängen entsprechend Aufgabe 6.7 aus ODER-Gattern mit 2 Eingängen auf! Benutzen Sie hierzu die ODER-Gatter des entsprechenden TTL-Bausteins aus Aufgabe 11.2.

11.4

Bauen Sie auf Steckbrett SB3 folgende Schaltung unter ausschließlicher Verwendung von NAND-Gattern auf! (Hinweis: Der zweite hierzu benötigte TTL-Baustein, identisch mit TTL-Baustein auf Sockel A, ist auf Sockel F vorhanden.) Um welche Verknüpfung handelt es sich bei der realisierten Schaltung?



Funktionstabelle

a	b	y
0	0	
0	1	
1	0	
1	1	

12 Versuchsdurchführung zur Fehlererkennung in digitalen Schaltnetzen

12.1

Entwickeln Sie auf der Basis des single-stuck-at-Fehlermodells für das folgende Schaltnetz die Fehlererkennungstabelle!

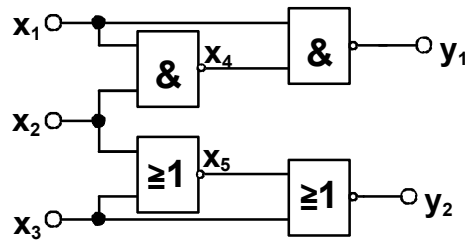


Bild 9

Fehlererkennungstabelle																			
Testvektor			Fehlerfreier Ausgangsvektor		Erkannter Einzelhaftfehler														
x ₁	x ₂	x ₃	y ₁	y ₂	x ₁ /0	x ₁ /1	x ₂ /0	x ₂ /1	x ₃ /0	x ₃ /1	x ₄ /0	x ₄ /1	x ₅ /0	x ₅ /1	y ₁ /0	y ₁ /1	y ₂ /0	y ₂ /1	

12.2

Bestimmen Sie für das Schaltnetz nach Aufgabe 12.1 eine Mindesttestmenge, indem Sie die Fehlererkennungstabelle von Aufgabe 12.1 entsprechend minimieren!

Fehlererkennungstabelle zur Mindesttestmenge M_T																		
Testvektor			Fehlerfreier Ausgangsvektor		Erkannter Einzelhaftfehler													
x_1	x_2	x_3	y_1	y_2	$x_1/0$	$x_1/1$	$x_2/0$	$x_2/1$	$x_3/0$	$x_3/1$	$x_4/0$	$x_4/1$	$x_5/0$	$x_5/1$	$y_1/0$	$y_1/1$	$y_2/0$	$y_2/1$

12.3

Das dem Versuch beiliegende Schaltbrett SB4 bildet ein Modell zur Darstellung eines fehlerbehafteten Schaltnetzes mit der Struktur nach dem Schaltbild in Aufgabe 12.1. Jeder Netzknoten der Schaltung kann mit einem Schiebeschalter in einen der drei Betriebszustände

- \leftrightarrow fehlerfrei,
- \perp stuck-at-0-fehlerbehaftet,
- \uparrow^+ stuck-at-1-fehlerbehaftet

versetzt werden. Wird nur einer der sieben verfügbaren Netzknoten in einen fehlerbehafteten Zustand versetzt, so bildet diese Anordnung eine auf der Grundlage des single-stuck-at-Fehlermodells fehlerhafte Schaltung nach.

Überprüfen Sie die Richtigkeit der in Aufgabe (12.2) bestimmten Mindesttestmenge, indem Sie an der auf Schaltbrett SB4 realisierten Schaltung mit entsprechenden Schiebeschaltern nacheinander alle möglichen Haftfehler einstellen und jeweils die Reaktion der Schaltung auf die zugehörigen Testvektoren der erstellten Mindestmenge beobachten!

12.4

Warum erkennt die in Aufgabe 12.3 auf der Basis des single-stuck-at-Fehlermodells erstellte Mindesttestmenge auch zwei gleichzeitig auftretende Haftfehler $x_4/0$ und $x_5/0$?